

JP-A-2002-509621

Warning: PAJ Data was not available on download time. You may get bibliographic data in English later.

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

1. It is Integrated-Circuit Device for Controlling Train and Line Driver of Active Matrix Display. Line Control Circuit for Generating Digital Timing and Digital Control Signal to Said Line Driver, Train control signal for generating digital timing and a digital control signal to said train driver In order to determine the analog voltage for adding to the train electrode of said active matrix display The integrated-circuit device which consists of an analog output circuit for outputting the analog reference level used by said train driver.
2. Device of claim 1 with which drive buffer consists of making power of this analog reference level increase before said analog reference level is used by said train driver.
3. Device of claim 1 which said analog reference level is comparatively low power, and consists of being designed so that said train driver may use analog reference level of comparatively low power.
4. It is System for Controlling Train and Line Driver of Active Matrix Display in Integrated-Circuit Device. The data / synchronous-input circuit for receiving an indicative data from the interface to host system, The chip control circuit which receives a signal from said data / synchronous-input circuit, The line control circuit for receiving digital timing and a digital control signal from said chip control circuit, and giving a control signal to said line driver, The train control circuit for receiving digital timing and a digital control signal from said chip control circuit, and giving a control signal to said train driver, System which consists of an analog output circuit for generating the analog output signal which receives digital timing and a digital control signal from said chip control circuit, and determines

the analog reference level to said train driver.

5. System of claim 4 which possesses further register connected to said analog output circuit for memorizing digital value which determines said analog output signal.

6. System of claim 5 which consists of said digital value being first received from programmable read-only memory of the exterior of said integrated-circuit device.

7. System of claim 5 by which said digital value consists of being received from interface to host system.

8. System of claim 5 by which said digital value consists of being first received from flash memory inside said integrated-circuit device.

9. System of claim 7 which consists of being dynamically determined by software in host system in order that said digital value may adjust display gamma function to flat-panel display.

Said Register Contains 1st and 2nd Register Files. 10. Said Analog Output It is the system of claim 5 including the 1st analog output. The multiplexer for choosing the 1st digital value from said 1st register file, or the 2nd digital value from said 2nd register file, System which consists of a digital-to-analog converter in an analog circuit for receiving the digital value chosen by said multiplexer and driving said 1st analog output further.

11. It is the system of claim 10 said whose 1st digital value is forward and said whose 2nd digital value is negative. System which consists of reversal of the liquid crystal member of a flat-panel display taking place by the switch to said 1st or 2nd digital value, including further the polar signal added to this multiplexer in order to switch selection of said 1st or 2nd digital value made by said multiplexer synchronizing with the timing signal given to a train driver.

12. The system of claim 10 by which said 1st register file contains two or more digital value corresponding to two or more display gamma functions.

13. Register Which is Register Connected to Said Analog Output Circuit for Memorizing Digital Value Which Determines Said Analog Output Signal, and Contains 1st, 2nd, 3rd, and 4th Register Files, It is the 1st multiplexer for choosing the 1st forward digital value from said 1st register file, or the 2nd forward digital value from said 2nd register file. Said 1st forward digital value relates to the 1st [ to a flat-panel display ] display gamma function. Said 2nd forward digital value This 1st multiplexer relevant to the 2nd [ to this flat-panel display ] display gamma function, It is the 2nd multiplexer for choosing the 1st negative digital value from said 3rd register file, or the 2nd negative

digital value from said 4th register file. Said 1st negative digital value relates to said 1st display gamma function. Said 2nd negative digital value This 2nd multiplexer relevant to said 2nd display gamma function, The 3rd multiplexer for choosing said digital value chosen by said 1st multiplexer or said digital value chosen by said 2nd multiplexer, System of claim 4 which consists of a digital-to-analog converter in an analog circuit for receiving said digital value chosen by said 3rd multiplexer, and driving said analog reference level to the electrical potential difference corresponding to said received digital value further.

14. Register Which is Register Connected to Said Analog Output Circuit for Recording Digital Value Which Determines Said Analog Output Signal, and Contains 1st, 2nd, 3rd, and 4th Register Files, The 1st multiplexer for choosing the 1st digital value from said 1st register file, or the 2nd digital value from said 2nd register file, The 2nd multiplexer for choosing the 3rd digital value from said 3rd register file, or the 4th digital value from said 4th register file, The 3rd multiplexer for choosing said digital value chosen by said 1st multiplexer or said digital value chosen by said 2nd multiplexer, The digital-to-analog converter in an analog circuit for receiving said digital value chosen by said 3rd multiplexer, and outputting the analog level corresponding to said received digital value, The refresh circuit for receiving said analog level and sending this analog level to either the 1st sample and hold circuit or the 2nd sample and hold circuit, The 1st buffer for receiving the level on which the 1st from said 1st sample and hold circuit was held, and driving said analog reference level of level \*\*\*\* 1st by which the 1st was held, System of claim 4 which consists of the 2nd buffer for receiving the level on which the 2nd from said 2nd sample and hold circuit was held, and driving the 2nd analog reference level to said level on which the 2nd was held further.

15. Register Which is Register Connected to Said Analog Output Circuit for Recording Digital Value Which Determines Said Analog Output Signal, and Contains 1st, 2nd, 3rd, 4th, 5th, 6th, 7th, and 8th Registers, It is the 1st multiplexer for choosing the 1st forward digital value memorized by said 1st register or the 2nd forward digital value memorized by said 2nd register. Said 1st forward digital value relates to the 1st [ to a flat-panel display ] display gamma function. Said 2nd forward digital value This 1st multiplexer relevant to the 2nd [ to this flat-panel display ] display gamma function, It is the 2nd multiplexer for choosing the 1st negative digital value memorized by said 3rd register or the 2nd negative digital value in said 4th register. Said 1st negative digital

value relates to said 1st display gamma function. Said 2nd negative digital value This 2nd multiplexer relevant to said 2nd display gamma function, It is the 3rd multiplexer for choosing the 3rd forward digital value memorized by said 5th register or the 4th forward digital value memorized by said 6th register. Said 3rd forward digital value relates to said 1st display gamma function. Said 4th forward digital value This 3rd multiplexer relevant to said 2nd display gamma function, It is the 4th multiplexer for choosing the 3rd negative digital value memorized by said 7th register or the 4th negative digital value in said 8th register. Said 3rd negative digital value relates to said 1st display gamma function. Said 4th negative digital value This 4th multiplexer relevant to said 2nd display gamma function, The 5th multiplexer for choosing said digital value chosen by said 1st multiplexer or said digital value chosen by said 2nd multiplexer, The 6th multiplexer for choosing said digital value chosen by said 3rd multiplexer or said digital value chosen by said 4th multiplexer, The 7th multiplexer for choosing said digital value chosen by said 5th multiplexer or said digital value chosen by said 6th multiplexer, The digital-to-analog converter in an analog circuit for receiving said digital value chosen by said 7th multiplexer, and outputting the analog level corresponding to said received digital value, The refresh circuit for receiving said analog level and sending this analog level to either the 1st sample and hold circuit or the 2nd sample and hold circuit, The 1st buffer for receiving the level on which the 1st from said 1st sample and hold circuit was held, and driving the 1st analog reference level to said level on which the 1st was held, System of claim 4 which consists of the 2nd buffer for receiving the level on which the 2nd from said 2nd sample and hold circuit was held, and driving the 2nd analog reference level to said level on which the 2nd was held further.

16. In Integrated-Circuit Device, it is Approach for Controlling Train and Line Driver of Active Matrix Display. Display Information is Received from Interface to Host System, The 1st digital timing and digital control signal for said line drivers are determined from said received information, The 2nd digital timing and digital control signal for said train drivers are determined from said received information, The analog level for said train drivers is determined from said received information, Said the 1st digital timing and digital control signal are outputted to said line driver Said the 2nd digital timing and digital control signal are outputted to said train driver How to consist of outputting said analog level to said train driver.

17. The approach of claim 16 which includes further memorizing the

digital value used in order to determine said analog RUBERU.

18. The approach of claim 17 which includes receiving said digital value in the beginning further from the programmable read-only memory of the exterior of said integrated-circuit device.

19. The approach of claim 17 that said digital value consists of being received from the interface to a host system.

20. The approach of claim 19 that said digital value consists of being determined dynamically with the software in a host system.

21. Choose the 1st digital value from the 1st register file, or the 2nd digital value from the 2nd register file by the multiplexer The approach of claim 17 which includes further changing said selected digital value into one of said the analog level.

22. How to be the approach of claim 21 that said 1st digital value is forward and said 2nd digital value is negative, and include giving a polar signal to said multiplexer further.

23. The approach of claim 21 that said 1st register file consists of two or more digital value being included.

24. Choose 1st Digital Value from 1st Register File, or 2nd Digital Value from 2nd Register File by 1st Multiplexer, The 3rd digital value from the 3rd register file or the 4th digital value from the 4th register file is chosen by the 2nd multiplexer, Said digital value chosen by said 1st multiplexer or said digital value chosen by said 2nd multiplexer is chosen by the 3rd multiplexer, Said digital value chosen by said 3rd multiplexer is changed into said analog level, Said analog level is sent to either the 1st sample and hold circuit or the 2nd sample and hold circuit, It sends to the 1st buffer which receives the level on which the 1st from said 1st sample and hold circuit was held, and drives the 1st analog reference level, The approach of claim 17 which includes further sending to the 2nd buffer which receives the level on which the 2nd from said 2nd sample and hold circuit was held, and drives the 2nd analog reference level.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

- 2.\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

The equipment and the approach for controlling an active matrix display

Background 1. technical field of I. invention This invention relates to an active matrix display controller.

An active matrix display controller is one of the support chips which are the integrated circuits (ASIC) for specified uses, and usually accompany an active-matrix flat-panel display. This controller transmits an indicative data to reception from a host system, and transmits it to the train and line driver of a display panel with a control signal and a timing signal.

2. Conventional technique By the latest advance in various side faces of an active matrix display technique, the active matrix display has spread rapidly in the past several years. There is one transistor or a switch in an active matrix display corresponding to each display cel. An active matrix display operates by applying the suitable analog data electrical potential difference for a train electrode, in order to apply an assignment electrical potential difference to the line electrode first in order to activate the gate of the line of a cel, next to charge the voltage level of a request of each cel of the selected line.

The controller chip (integrated circuit) now used in an active matrix display is completely a digital type. However, an analog circuit is also required in order to control an active matrix display. The train driver of the periphery of the display panel which supplies an analog data electrical potential difference to a train electrode needs analog reference level, in order to usually perform digital to analog conversion, and specifically, to be able to change so that such analog reference level may reverse the polarity between the both ends of the liquid crystal of a display is needed. Since the size of an analog circuit, power consumption, and generation of heat are large, an analog circuit is not included in a digital-type controller chip completely [ the conventional technique ], but must be processed in an external circuit. Since there is this external circuit, manufacture and assembly of an active-matrix display system become complicated.

Furthermore, the present controller chip is limited very much to specific systems. A controller chip is usually designed for a certain

fixed manufacturer's peripheral drivers again for [ which is used for a certain fixed purpose ] active matrix displays. For example, when the manufacturer of a certain flat-panel display determines to switch to the train driver of a different class, the controller ASIC (application-specific integrated circuit) must usually be redesigned.

Furthermore, the present controller chip has a considerable limit in the capacity to change the operating characteristic of a display dynamically. One of such the properties has Display gamma (display gamma, display gamma). This display gamma specifies the functional relation of the quantity of light emitted by the display cel, i.e., a pixel, and the electrical potential difference used in order to generate it. In an active matrix display, this electrical potential difference is the analog output of a train driver. The formula of gamma is the  $\text{Light\_out}(\text{output light}) = \text{electrical potential difference gamma}$ . Usually, it is assumed that the software for a display is proportional to linear gamma characteristics, and the quantity of light emitted is proportional to an electrical potential difference. However, CRT and an active matrix display essentially have a nonlinear characteristic in the response of the light to an electrical potential difference. These nonlinear gamma characteristics are amended in an active matrix display by the analog reference level sent to a train driver.

When there is capacity which amends this display gamma, it is carried out usually using the color look-up table (CLUT) method which is what [ a thing ] that is accommodation inefficient that is not effective. In the system which uses CLUT, the digital value which specifies desired analog voltage is used as an index to CLUT in fact. New digital value is memorized in each location where it was directed in CLUT. When this value is changed into analog voltage, it gives the desired display gamma. If a color look-up table is used in order to realize nonlinear display gamma characteristics, the number of the digital value corresponding to the same transfer value (transmission value) will increase very much. For this reason, in the flat-panel display with which digital value is usually restricted to 6 bits (namely, 64 level), that price becomes high. In order to make the requirements for the display to a specific application suit, or in order to compensate the temperature change which changes transfer actuation of a display panel, from that for changing Display gamma, it is supple and an efficient approach is needed so that dynamic adjustment may be attained.

To change the operating characteristic of a display so that it is fully supple so that it can apply to a system which is different, without mitigating and redesigning the complexity in manufacture and the

assembly of a display system combining a digital circuit and an analog circuit, and a specific application may be suited for the reason mentioned above, and to compensate the temperature change which changes transfer actuation of a display panel are needed for the dynamically possible controller of a flat-panel display.

II. epitome This invention relates to the system and approach for controlling an active matrix display of satisfying an above-mentioned demand. This system and approach include using a "smart (smart)" controller chip.

The analog circuit for generating analog reference level is incorporated with a digital circuit in a smart controller chip. With the combination of a D/A analog circuit and standard digital logic, a controller suits uniquely so that the demand of all panel control to control of the analog-side face of not only the thing to the usual digital function but a panel like Display gamma can be coped with.

By including this analog-control circuit in the programmable control ASIC directly, it becomes possible to control the analog-function of a panel by software.

Furthermore, manufacture of a display system and the complexity of assembly will be mitigated by removing an external reference circuit. Furthermore, the smart controller chip contains the programmable register which can contain the digital value which is [ the interior ] equivalent to analog reference level. The contents of these registers are first programmable with the digital value memorized by external PROM. It becomes possible to fully have flexibility, although a smart controller chip is applied to a system which is different, without redesigning by this design. Instead of redesigning Controller ASIC to each specific display systems, the same smart controller chip is used with suitable PROM which has the program adjusted in the specific display system. as an alternative -- \*\* et al. -- \*\* -- a register is also first programmable with the digital value memorized by the flash memory included in the smart controller chip.

The software in a host system can also program the internal register of a smart controller chip through the interface between a host system and a smart controller chip. The software of a system can change dynamically an operating characteristic of a display like a display gamma-characteristics curve by programming these registers by the digital value equivalent to analog reference level. In this way, the dynamic adjustment for compensating the change in the environment of a display panel for making the specific application performed on a host suit is made.



this approach of controlling Display gamma -- CLUT -- there is a remarkable advantage compared with the approach of controlling Display gamma by law. CLUT -- in law, although the digital value of very many numbers usually corresponds to the same transmitting value, by this approach, each digital value corresponds to the only transmitting value, respectively.

Easy explanation of an III. drawing Drawing 1 is the block diagram showing the conventional control system of an active matrix display. Drawing 2 is the block diagram possessing the smart controller which outputs analog reference level with comparatively large power showing the 1st display C-system (Display Control System) in the 1st desirable embodiment of this invention.

Drawing 3 A is the 2nd and the smart controller which outputs analog reference level with comparatively low power in a substitute embodiment of this invention, and the block diagram showing the 2nd display C-system possessing the buffer of the exterior of a smart controller.

Drawing 3 B is the block diagram showing the 3rd display C-system possessing the train driver which can use the 3rd, and the smart controller which outputs analog reference level with comparatively low power in a substitute embodiment and its analog reference level with comparatively low power of this invention.

Drawing 4 A is the block diagram in the 1st desirable embodiment of this invention showing the 1st smart controller chip.

Drawing 4 B is the block diagram showing the 2nd and the 2nd smart controller chip in a substitute embodiment of this invention.

Drawing 5 is the outline block diagram showing the conventional input and conventional output of a train driver.

Drawing 6 is a graph which shows the transfer curve of liquid crystal.

Drawing 7 A is a block diagram possessing the register, multiplexer, and analog output circuit in a smart controller in the 1st desirable embodiment of this invention.

Drawing 7 B is a block diagram possessing the register, multiplexer, and analog output circuit in the 2nd of this invention, and the smart controller in a substitute embodiment.

Drawing 8 A is the graph of the linear display gamma.

Drawing 8 B is the graph of the 1st nonlinear display gamma.

Drawing 8 C is the graph of the 2nd nonlinear display gamma.

IV. -- a suitable operative condition -- explanation [ like ] Below, the desirable embodiment of this invention is explained with reference to a drawing.

Drawing 1 is the block diagram showing the conventional control system

100 of the active matrix display possessing the conventional controller chip 102. An indicative data and a synchronizing signal are inputted into a controller 102 through Rhine 104 from the host system 105 which is usually a computer system. A controller 102 sends a train control signal to the train driver 108 by which an indicative data is connected to the train electrode of an active matrix display 110 through Rhine 109 through Rhine 107 through Rhine 106. A controller 102 sends a line control signal to the line driver 114 connected to the line electrode of an active matrix display 110 through Rhine 115 through Rhine 112 again. A criteria control signal is received in the exterior of a controller 102 through Rhine 118 from a controller 102, and there is a reference circuit 116 which sends analog reference level to the train driver 108 through Rhine 120 in it. When the train driver 108 is a train driver of a low battery, a reference circuit 116 can also switch analog reference level to one of two fixed voltage levels in order to reverse the polarity of the liquid crystal of a display 110. A liquid crystal (LC) ingredient needs to change over time amount with the polarity of the electrical potential difference applied to the both ends. Otherwise, the problem of the image quality about a liquid crystal ingredient arises. This is called LC reversal (LC inversion). LC member is pinched between the plates of two capacitors. One plate is connected to the output of a train driver by the matrix switch. Another plate is shared among all the capacitors of a matrix. This common potential is usually called VCOM. The train driver of the high voltage has sufficient electrical-potential-difference range on the output of itself so that the polarity of liquid crystal can be switched to a negative electrical potential difference from a forward electrical potential difference to VCOM to VCOM. these high-voltage drivers -- moreover, any of a forward and negative voltage level -- although -- it has sufficient analog reference level so that it may be inputted into a train driver. Therefore, the train driver itself can deal with all the side faces of LC reversal. When a low-battery train driver is used, the polarity of the both ends of LC member can be switched only when VCOM potential also switches. In this case, a train driver takes only the reference potential of a lot to that input. Since a forward polarity is driven, VCOM must be switched to an electrical potential difference lower than a train output, and a forward reference potential must be inputted into the train driver. In order to drive a negative polarity, VCOM must be switched to an electrical potential difference higher than a train output, and a negative reference potential must be inputted into a train driver. Drawing 2 is the block diagram of 1st suitable display C-system 200.

This 1st display C-system 200 includes the 1st "smart" controller chip 202, the 1st serial bus 204, the programmable read-only memory (PROM) chip 206, and the 2nd serial bus 208.

An indicative data and a synchronizing signal are inputted into the smart controller 202 through Rhine 104 from the host system 105 which are also other equipments like a computer system, or television and a video system, and is obtained. This 1st smart controller 202 transmits an indicative data to the train driver 108 connected to the train electrode of a display 110 through Rhine 109 through a train control signal and Rhine 107 through Rhine 106. A display 110 can be considered as an active matrix display or other displays which are driven like it. The 1st smart controller 202 transmits a line control signal to the line driver 114 connected to the line electrode of a display 110 through Rhine 115 through Rhine 112 again.

The 1st smart controller 202 in this system 200 drives analog reference level with comparatively programmable high power (power is high) to the train driver 108 through Rhine 120 in a system 100 conventionally, without using the reference circuit 116 of the exterior needed. By removing this external reference circuit 116, manufacture of an active-matrix display system and the complexity of assembly are mitigated. furthermore, it is outputted by the 1st smart controller 202 -- the analog reference level, train, and line control signal of high power are comparatively programmed first by external PROM206 through the 1st serial bus 204. The typical serial bus and typical protocol of an industry standard which can be used as 1st serial bus 204 are I<sup>2</sup>C bus. By external PROM206, it will have the flexibility which can be operated with each of those different display systems, without redesigning the 1st smart controller 202 by the output of the 1st smart controller 202 being programmable according to the property of each specific display system.

Furthermore, the 2nd serial bus 208 is used in order to exchange information between the 1st smart controller 202 and a host system 105. This communication channel can be used and the software in a host system 105 can change dynamically the analog reference level, train, and line control signal which are outputted by the 1st smart controller 202. Notice the 1st and 2nd serial buses (204 and 208) about it not being necessary to be a separate bus instead, and being able to consider as the same bus. By the ability changing the output dynamically, the 1st smart controller 202 can adjust the operating characteristic of a display so that a specific application may be suited, and so that an environmental variation may be compensated.

Drawing 3 A is the block diagram of the 2nd and substitute display C-system 300. This 2nd display C-system 300 contains the 2nd smart controller chip 302 and drive buffer 306.

An indicative data and a synchronizing signal as well as 1st display C-system 200 are inputted into the 2nd smart controller 302 through Rhine 104 from the host system 105 with possible their being other equipments like a computer system, or television and a video system. This 2nd smart controller 302 transmits an indicative data to the train driver 108 connected to the train electrode of a display 110 through Rhine 109 through a train control signal and Rhine 107 through Rhine 106. A display 110 can be considered as an active matrix display or other displays which are driven similarly. The smart controller 302 transmits a line control signal to the line driver 114 connected to the line electrode of a display 110 through Rhine 115 through Rhine 112 again. Furthermore, the train and line control signal which are outputted by the 2nd smart controller 302 are programmed within the start through the 1st serial bus 204 like 1st display C-system 200 by PROM206 in the exterior of this 2nd smart controller 302. The typical serial bus and typical protocol of an industry standard which can be used as 1st serial bus 204 are I2 C bus. This early programming can be offered in alternative by the flash memory 303 included in the 2nd smart controller 302 (in this case, external PROM206 is not required).

Like 1st display C-system 200, the 2nd serial bus 208 is used further again in order to exchange information between the 2nd smart controller 302 and a host system 105. This communication channel can be used and the software in a host system 105 can change dynamically the train and line control signal which are outputted by the smart controller 302. Note again that the 1st and 2nd serial buses (204 and 208) do not need to be separate buses, instead it can consider as the same bus.

It differs in 1st display C-system 200, and since the analog reference level of high power is turned to the train driver 108 and is comparatively driven on Rhine 120, the external drive buffer 306 is needed in 2nd display C-system 300. The 2nd smart controller 302 outputs the analog reference level of low power (low power) to the external drive buffer 306 comparatively through Rhine 304. The external drive buffer 306 receives the analog reference level of this low power, and turns and drives the analog reference level of high power on Rhine 120 at the train driver 108. Like 1st display C-system 200, 2nd display C-system 300 is low cost compared with the conventional display system 100, and is not complicated, and outputs programmable analog reference level with a controller 302 or a host system 105. I hear that the advantage of

2nd [ to 1st display C-system 200 ] display C-system 300 can be changed easily, and there is so that the drive capacity may suit the requirements for a drive of the specific train driver 108 which uses the external buffer 306.

Drawing 3 B is the block diagram of the 3rd and substitute display C-system 350. This 3rd display C-system 350 contains the 2nd smart controller chip 302 and the train driver 354 which needs only the analog reference level of low power comparatively.

An indicative data and a synchronizing signal as well as 2nd display C-system 300 are inputted into the 2nd smart controller 302 through Rhine 104 from the host system 105 with possible their being other equipments like a computer system, or television and a video system. This 2nd smart controller 302 transmits an indicative data to the train driver 108 connected to the train electrode of a display 110 through Rhine 109 through a train control signal and Rhine 107 through Rhine 106. A display 110 can be considered as an active matrix display or other displays which are driven similarly.

The smart controller 302 transmits a line control signal to the line driver 114 connected to the line electrode of a display 110 by Rhine 115 through Rhine 112 again.

Furthermore, the train and line control signal which are outputted by the 2nd smart controller 302 are programmed within the start through the 1st serial bus 204 like 2nd display C-system 300 by PROM206 in the exterior of this 2nd smart controller 302. The typical serial bus and typical protocol of an industry standard which can be used as 1st serial bus 204 are I2 C bus. These registers are first programmable in alternative with the flash memory 303 included in the smart controller chip (in this case, PROM206 is not required).

Like 2nd display C-system 300, the 2nd serial bus 208 is used further again in order to exchange information between the 2nd smart controller 302 and a host system 105. This communication channel can be used and the software in a host system 105 can change dynamically the train and line control signal which are outputted by the smart controller 302. The 1st and 2nd serial buses (204 and 208) do not need to be separate buses, and note again that it can consider as the same bus instead.

The external drive buffer 306 is not needed for [ since it differs in 2nd display C-system 300, the analog reference level of high power is comparatively turned to the train driver 108 and it drives on Rhine 120 ]. Instead, the 2nd smart controller 302 carries out the direct output of the analog reference level of low power to the train driver 354 which can use the analog reference level of low power comparatively

through Rhine 120.

Drawing 4 A is the more detailed block diagram of the 1st smart controller 202 included in 1st display C-system 200. The 1st smart controller 202 possesses data / synchronous-input circuit 402, the data output circuit 404, the chip control circuit 406, the register input circuit 408, the programmable register 410, the multiplexer circuit 413, the train control circuit 419, the line control circuit 421, the high power analog output circuit 416, and the flash memory 303 as an option. Data / synchronous-input circuit 402 receives an indicative data and a synchronizing signal through Rhine 104 from a host system 105. Data / synchronous-input circuit 402 is connected to the chip control circuit 406 through the data output circuit 404 and Rhine 405 through Rhine 403. The register input circuit 408 can receive digital value from a host system 105 through the external PROM206 to 2nd serial bus 208 through the 1st serial bus 204. The register input circuit 408 is connected to a register 410 through Rhine 409. The register input circuit 408 can receive digital value from a flash memory 303 in alternative.

A register 410 is connected to the chip control circuit 406 through Rhine 411. A register 410 is connected to the multiplexer (MUX) circuit 413 through Rhine 412 again, and this multiplexer circuit is further connected to the chip control circuit 406 through Rhine 415 in the high power analog output circuit 416 through Rhine 414.

The chip control circuit 406 receives information from the programmable register 410 through data / synchronous-input circuit 402 to Rhine 411 through Rhine 405. In this way, the received information is used and the chip control circuit 406 transmits timing and a control signal to the data output circuit 404 through the line control circuit 421 and Rhine 422 in the train control circuit 419 at the high power analog output circuit 416 through Rhine 420 through Rhine 418 through Rhine 417.

The data output circuit 404 receives the chip control circuit 406 to timing and a control signal for an indicative-data signal through Rhine 417 through Rhine 403 from data / synchronous-input circuit 402. The data output circuit 404 transmits an indicative-data signal to the train driver 108 through Rhine 107.

The train control circuit 419 receives timing and a control signal from the chip control circuit 406 through Rhine 418. The train control circuit 419 transmits timing and a control signal to the train driver 108 through Rhine 106.

The line control circuit 421 receives timing and a control signal from the chip control circuit 406 through Rhine 420. The line control circuit 421 transmits timing and a control signal to the line driver 114 through

Rhine 112.

Finally, the high power analog output circuit 416 receives the MUX circuit 413 to digital value through timing, a control signal, and Rhine 415 through Rhine 422 from the chip control circuit 406. The high power analog output circuit 416 sends the analog reference level of high power to the train driver 108 comparatively through Rhine 120.

Drawing 4 B is the more detailed block diagram of the 2nd smart controller 302 included in either 2nd display C-system 300 or 3rd display C-system 350. The 2nd smart controller 302 as well as the 1st smart controller 202 possesses data / synchronous-input circuit 402, the data output circuit 404, the chip control circuit 406, the register input circuit 408, the programmable register 410, the multiplexer circuit 413, the train control circuit 419, and the line control circuit 421. Differing in the 1st smart controller 202, the 2nd smart controller 302 includes the low power analog output circuit 450.

Data / synchronous-input circuit 402 receives an indicative data and a synchronizing signal from a host system 105 through Rhine 104. Data / synchronous-input circuit 402 is connected to the chip control circuit 406 through the data output circuit 404 and Rhine 405 through Rhine 403. The register input circuit 408 can receive digital value from a host system 105 through the external PROM206 to 2nd serial bus 208 through the 1st serial bus 204. The register input circuit 408 is connected to a register 410 through Rhine 409. The register input circuit 408 can receive digital value from a flash memory 303 in alternative.

A register 410 is connected to the chip control circuit 406 through Rhine 411. A register 410 is connected to the multiplexer (MUX) circuit 413 through Rhine 412 again, and this multiplexer circuit is connected to the low power analog output circuit 450 through the chip control circuit 406 and Rhine 415 through Rhine 414.

The chip control circuit 406 receives information from the programmable register 410 through data / synchronous-input circuit 402 to Rhine 411 through Rhine 405. In this way, the received information is used and the chip control circuit 406 transmits timing and a control signal to the data output circuit 404 through the line control circuit 421 and Rhine 422 in the train control circuit 419 at the low power analog output circuit 450 through Rhine 420 through Rhine 418 through Rhine 417.

The data output circuit 404 receives the chip control circuit 406 to timing and a control signal for an indicative-data signal through Rhine 417 through Rhine 403 from data / synchronous-input circuit 402. The data output circuit 404 transmits an indicative-data signal to the train driver 108 through Rhine 107.

The train control circuit 419 receives timing and a control signal from the chip control circuit 406 through Rhine 418. The train control circuit 419 transmits timing and a control signal to the train driver 108 through Rhine 106.

The line control circuit 421 receives timing and a control signal from the chip control circuit 406 through Rhine 420. The line control circuit 421 transmits timing and a control signal to the line driver 114 through Rhine 112.

Finally, the low power analog output circuit 450 receives the MUX circuit 413 to digital value through timing, a control signal, and Rhine 415 through Rhine 422 from the chip control circuit 406. When the 2nd smart controller 302 is used with 2nd display C-system 300, the low power analog output circuit 450 transmits the analog reference level of low power to the drive buffer 306 through Rhine 304. When the 2nd smart controller 302 is used with 3rd display C-system 350, the low power analog output circuit 450 transmits the analog reference level of low power to the train driver 354 which can use the analog reference level of low power through Rhine 120.

Drawing 5 is outline block diagram \*\*\*\*\* which shows the input/output of a train driver (108 or 354). A train driver (108 or 354) receives [ the analog reference level ( $V_0, V_1, \dots, V_X$ ) (high power or low power) of  $X+1$  ] control and a timing signal for digital display data through Rhine 106 further through Rhine 107 through Rhine (120 or 304) as an input. A train driver (108 or 354) outputs much ( $p+1$ ) analog voltage applied to the train electrode of a display 110 through Rhine 109. Each with an indicative-data value of  $n$  bits is latched, and is changed into one of the analog voltage of  $p+1$  using the analog reference level of  $X+1$ . In a translation process, the analog reference level of  $X+1$  is usually used so that the nonlinear transfer curve (transfer curve) 602 of a liquid crystal display (LCD) may be resembled.

Drawing 6 is the graph of the typical nonlinear LCD transfer curve 602. The permeability (whenever [ transmission and transfer ]) of a display pixel (pixel) is plotted to the electrical potential difference applied to the both ends of a pixel. For explanation, the reference voltage of ( $X=9$ ) is shown from  $V_0$  corresponding to the linearity step in permeability to  $V_9$ . Such reference voltages are analog reference level used by the train driver (108 or 354), in order to change into the analog voltage to which the data value of  $n$  bits is applied by the train electrode of a display 110 through Rhine 109.

Drawing 7 A is the block diagram of the 1st suitable embodiment 700 which the high power analog output circuit 416 in drawing 4 A or the low



power analog output circuit 450 in drawing 4 B is, is worn, and possesses \*\*. In this 1st embodiment, it is required for D/A converter 702 to be sufficiently small size so that those some can be easily included in a smart controller chip (202 or 302).

As shown in drawing 7 A, X+1 internal digital-to-analog (D/A) transducer 702 outputs analog reference level (A0, A1, ..., AX). About the low power analog output circuit 450, the output of D/A converter 702 is low power comparatively. About the high power analog output circuit 416, the output of D/A converter 702 must be high power more.

D/A converter 702 receives an input signal through Rhine 415 from X+1 2 input 1 output multiplexer 704 in the MUX circuit 413. Each 2 input 1 output multiplexer 704 is controlled by the polar (POL) signal, and chooses REF+ which is two reference values, or REF-. A POL signal is received by the MUX circuit 413 through Rhine 414 from the chip control circuit 406.

Each of these reference-values REF+ and REF- is chosen through Rhine 412 from the digital value of a large number memorized by one of the register files of two in the programmable register 410 (X+1). Choosing from much digital value of each register file can be performed with various means. For example, as shown in drawing 7 A, the 5 input 1 output multiplexer 706 of two (X+1) individuals which are recording five digital value on each register file can be used. These 5 input 1 output multiplexers 706 are controlled by the curvilinear selection (CUR) signal received from the chip control circuit 406 through Rhine 414. Each digital value of a register file can be made to correspond to a different transfer curve. Therefore, if it sees as a whole, a smart controller (202 or 302) can memorize two or more transfer curves shown with Curve A, Curve B, Curve C, etc. by the register file.

As shown in drawing 7 A, two versions of each transfer curve shown with the notation of + and - are memorizable to two related register files. The 2 input 1 output multiplexer 704 chooses which shall be used as an input to D/A converter 702 between + of a transfer curve, and the version of - according to the value of a POL signal. It can generate by the chip control circuit 406, and when a POL signal is the arbitration of display-line time amount (display line time), it switches + of a transfer curve, and the version of -, or fixes the selected reference value to + of a transfer curve, or the version of -.

One of the applications of switching + of a transfer curve and the version of - is reversing the polarity of LC (liquid crystal) member between the addresses of a line.

The analog output of D/A converter 702 must be resolution sufficiently

high although the nonlinearity of the transfer curve of liquid crystal is compensated correctly. That is, the digital value of a register file must have sufficient number of bits so that the analog output of D/A converter 702 can be adjusted to a precision higher than the precision of the output of a train driver (108 or 354). Typically, the current train driver has the precision of 20mV order. since the whole (forward, negative both) transfer curve of liquid crystal must be covered -- analog output -- receiving -- the electrical-potential-difference range required now -- about 10 -- it is V. Since it is  $29 = 512$  in  $10V/20mV=500$  when D/A converter 702 changes digital value into an analog value in linearity, digital value must have the precision of at least 9 bits. In drawing 7 A, the number of bits to each digital value is m. Therefore, if the above-mentioned count is used, m must be at least 9. When nonlinear D/A converter 702 is used, about the section of the transfer curve whose change of whenever [ transfer ] is not so rapid, the number of bits can be decreased by permitting gross errors more again by centralizing the highest analog precision on the section of a transfer curve when whenever [ transfer ] changes rapidly with an electrical potential difference.

Drawing 7 B is the 2nd and the block diagram showing a substitute embodiment possessing either the high power analog output circuit 416 of drawing 4 A, or the low power analog output circuit 450 of drawing 4 B. Its size of D/A converter 702 is large, and when this 2nd embodiment cannot include them some in a smart controller chip (202 or 302) easily, it is suitable.

It differs in the 1st embodiment 700, and in the 2nd embodiment 750, since all the analog reference level (A0, A1, ... AX) of X+1 is driven, one D/A converter 752 is used. The input to D/A converter 752 (X+1), It comes from the input 1 output multiplexer 754. This (X+1) input 1 output multiplexer 754 chooses one of the X+1 digital reference value outputted by the 2 input 1 output multiplexer 704. (X+1) The input 1 output multiplexer 754 is controlled by the selection (SEL) signal received from the chip control circuit 406 through Rhine 414. Each analog output of D/A converter 752 is supplied to specific one of X+1 sample and the hold (S/H) circuits 758 by the refresh circuit 756. The specific S/H circuit 758 to which analog output is supplied corresponds to the digital reference value chosen by the input (X+1) 1 output multiplexer 754.

Since a dynamic storage means (dynamic storage) is usually used and the refresh circuit 756 is refreshed for the analog value memorized in the S/H circuit 758, the S/H circuit 758 must be operating continuously. In

the output of each S/H circuit 758, a buffer 760 reinforces the drive capacity of the analog reference level outputted. To the high power analog output circuit 416, a buffer 760 must be high power comparatively. To the low power analog output circuit 450, a buffer 760 must be low power comparatively.

In the 2nd embodiment 750 as well as the 1st embodiment 700, the two input each 1 output multiplexer 704 chooses two either, reference-value REF+ and REF-. Each of these reference values is chosen from the digital value of a large number memorized by one of the register files of the lot in a register 410. Choosing from much digital value of each register file can be performed with various means. For example, in drawing 7 B, the 5 input 1 output multiplexer 706 is used.

Furthermore, each of much digital value of a register file can be made to correspond to a different transfer curve in the 2nd embodiment 750 as well as the 1st embodiment 700. Therefore, if it sees as a whole, a smart controller (202 or 302) can memorize two or more transfer curves shown with Curve A, Curve B, Curve C, etc. by the register file. For example, in drawing 7 B, the total of a transfer curve is 5.

Furthermore, in the 2nd embodiment 750 as well as the 1st embodiment 700, a smart controller (203 or 302) memorizes two versions of each transfer curve to two related register files. + The notation of - shows these two different versions. The 2 input 1 output multiplexer 704 chooses which version of + of a transfer curve, and - is used as an input to the input (X+1) 1 output multiplexer (MUX) 754. The 2 input 1 output multiplexer 704 is the polarity (POL) of the interior received from the chip control circuit 406 through RAIN 414.

It is controlled by the signal. A POL signal has the programmable 2 input 1 output multiplexer 704 so that reference-value REF+ and REF- may be switched at the time of the arbitration of display-line time amount, or so that the selected reference value may be fixed to + of a transfer curve, or the version of -.

Finally, like the 1st embodiment 700, since analog reference level (A0, A1, ..., AX) can compensate the nonlinearity of the transfer curve of liquid crystal correctly, it must be sufficiently high resolution. That is, the digital value of a register file must have sufficient number of bits so that the analog output of D/A converter 752 can be adjusted to a precision higher than the precision of the output of a train driver (108 or 354). The current train driver has the precision of 20mV order typically. The transfer curvilinear whole of liquid crystal (forward, negative both)

Since it must cover, the electrical-potential-difference range required

now is about 10V to analog output. Since it is  $29 = 512$  in  $10V/20mV=500$  when D/A converter 752 changes digital value into an analog value in linearity, digital value must have the precision of at least 9 bits. In drawing 7 B, the number of bits to each digital value is  $m$ . Therefore, if the above-mentioned count is used,  $m$  must be at least 9. When nonlinear D/A converter 752 is used, about the section of the transfer curve whose change of whenever [ transfer ] is not so rapid, the number of bits can be decreased by permitting gross errors more again by centralizing the highest analog precision on the section of a transfer curve when whenever [ transfer ] changes rapidly with an electrical potential difference.

Three graphs of Display gamma are shown in drawing 8 A, and 8B and 8C. What plotted the value of the degree pair DAC of transfer of a display is known as display gamma. Drawing 8 A shows the linear display gamma. In order to obtain the linear display gamma, analog reference level is chosen so that the linearity step of whenever [ transfer ] may be realized as a function of the value of DAC. About a type with a display image, the case of being desirable often has the display gamma of those other than Linearity gamma. For example, nonlinear gamma is effective for the image creation activity (imaging work) for which control exact about overall reappearance of an image is needed in order to make what was printed agree. It will become important as the flat-panel display [ display / cathode-ray tube (CRT) ] which can make the color range large begins to replace such an image creation activity for CRT of the desktop mold for using it for desktop publishing and graphic arts. Controlling gamma display by analog reference level to a train driver is the technique which excelled for controlling Display gamma, and it is a color look-up table (CLUT).

It has a big advantage to control by law. If a color look-up table is used in order to realize nonlinear gamma, the value of many DACs which have the same transfer value will be produced. For this reason, the price of the flat-panel display with which the value of DAC is usually restricted to 64 level becomes high. Instead, the value of all DACs is equivalent to the only transfer value by adjusting analog reference level.

Furthermore, by using the approach of adjusting analog reference level, analog reference level can be set up with the software in a host system 105 so that a user can adjust Display gamma according to the application to be used. Moreover, a manufacturer can choose easily out of a different curve which could program various gamma curves beforehand for the smart controller chip (203 or 302) (reference, such as Curve A,

Curve B, etc. of drawing 7 A and 7B), and was beforehand programmed by the software in a host system.

It can also use for compensating the temperature change in a display by adjusting analog reference level, an electrical potential difference with the higher transfer curve [ as opposed to / it is alike, take and / liquid crystal ] (refer to drawing 6 ) from which temperature changes -- or it shifts to the direction of a lower electrical potential difference. Consequently, the property of a display will change especially to a gray-scale image. Since a smart controller (202 or 302) can adjust analog reference level, it has the capacity compensated to such a temperature change. It is also possible to also choose from compensated [ temperature-] gamma curves by which the smart controller (202 or 302) used the external signal inputted into self, and was programmed beforehand, and to change analog reference level with the system software in a host system 105.

---

[Translation done.]

\* NOTICES \*

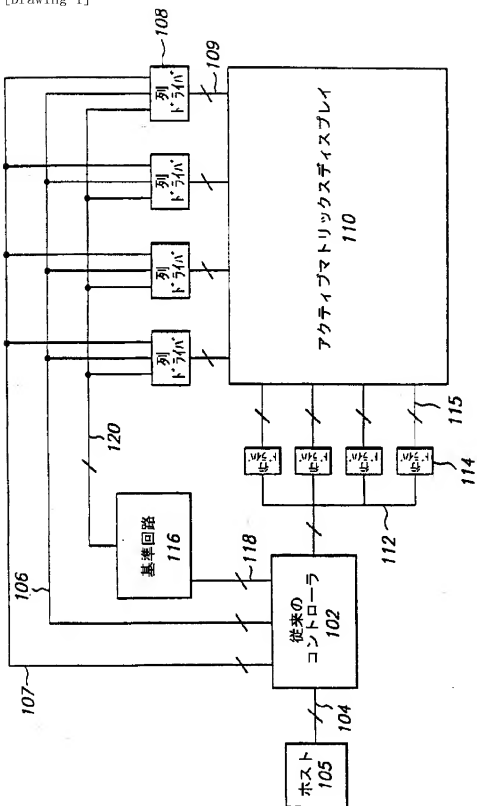
**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

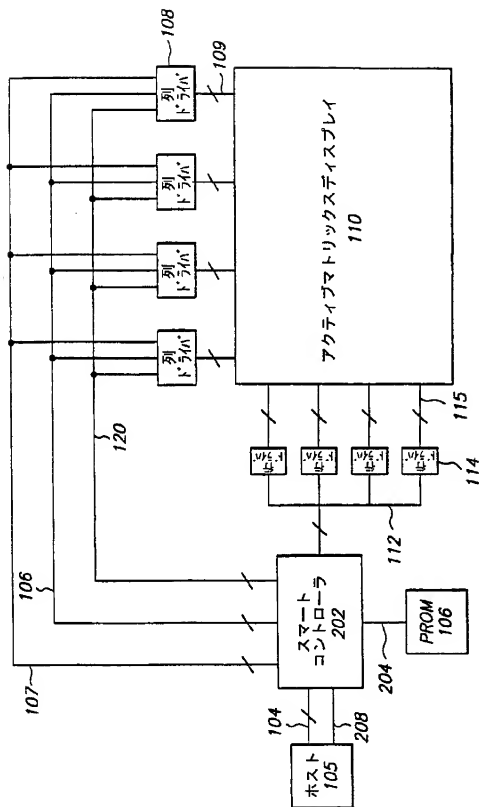
---

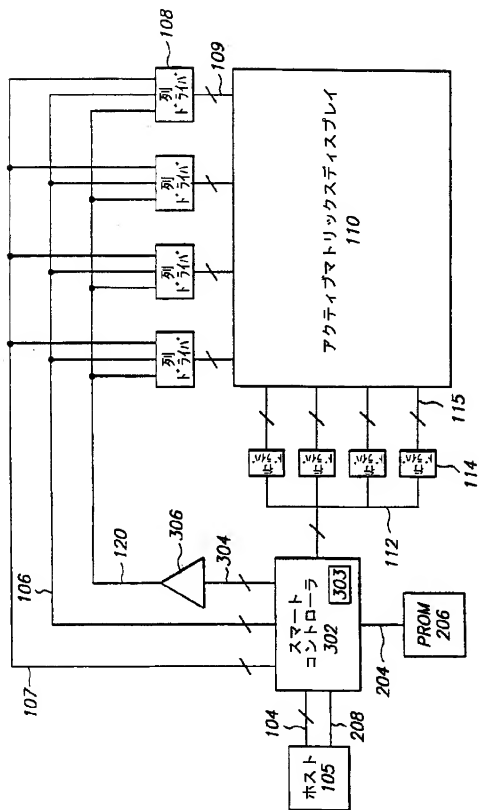
DRAWINGS

---



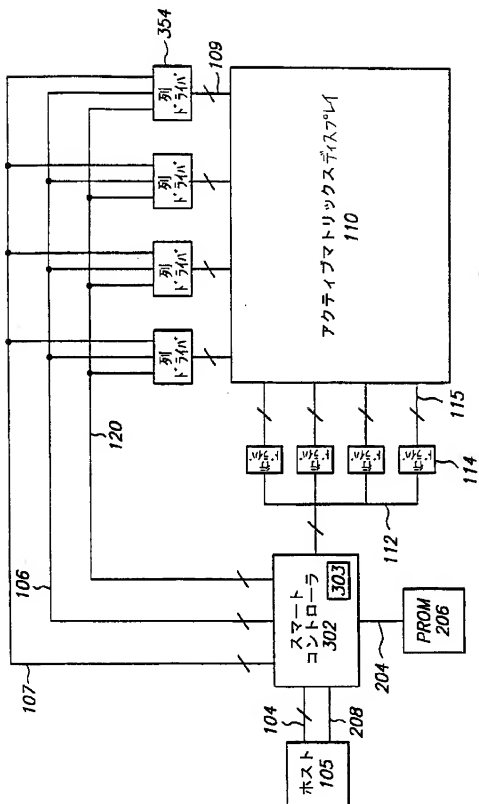
**FIG. 1** (従来技術)





**FIG. 3A**





**FIG. 3B**

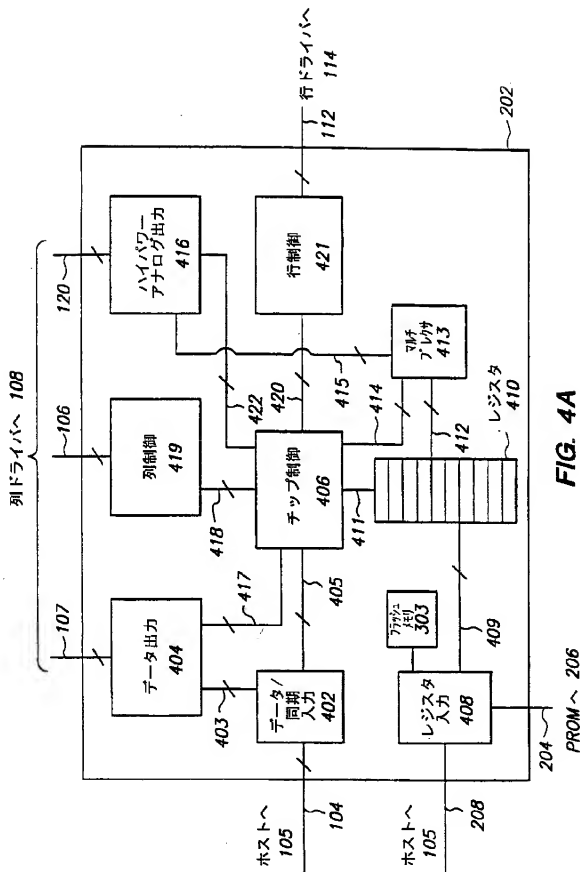
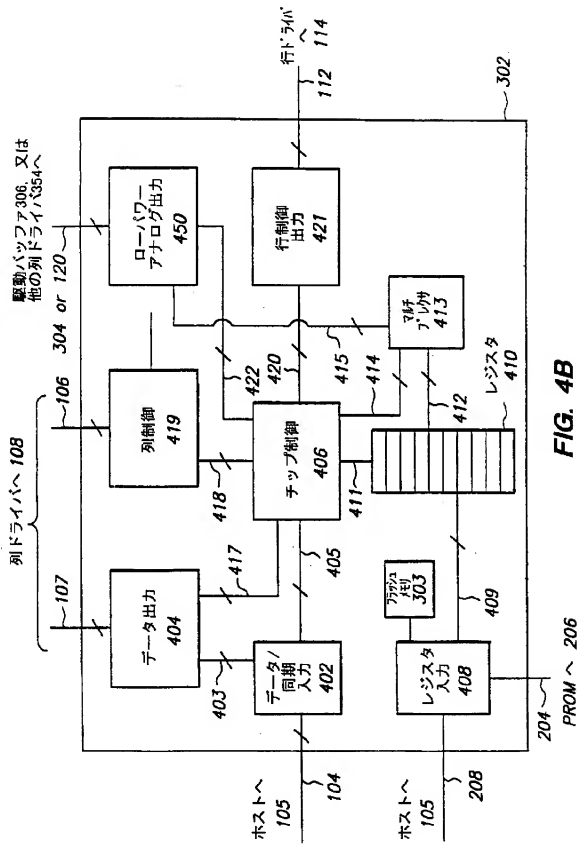
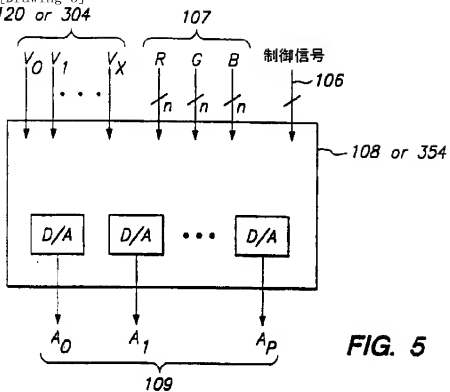


FIG. 4A

[Drawing 4]



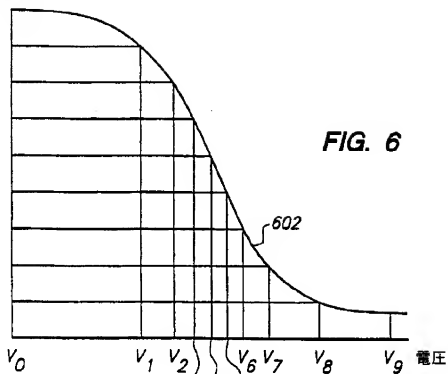
[Drawing 5]  
120 or 304



**FIG. 5**

[Drawing 6]

透過率



液晶の伝達曲線

[Drawing 7]

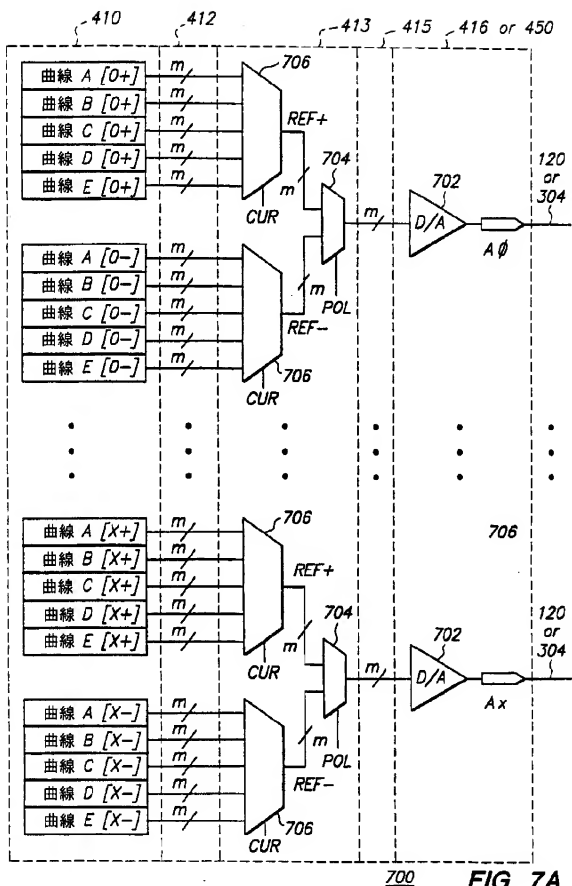
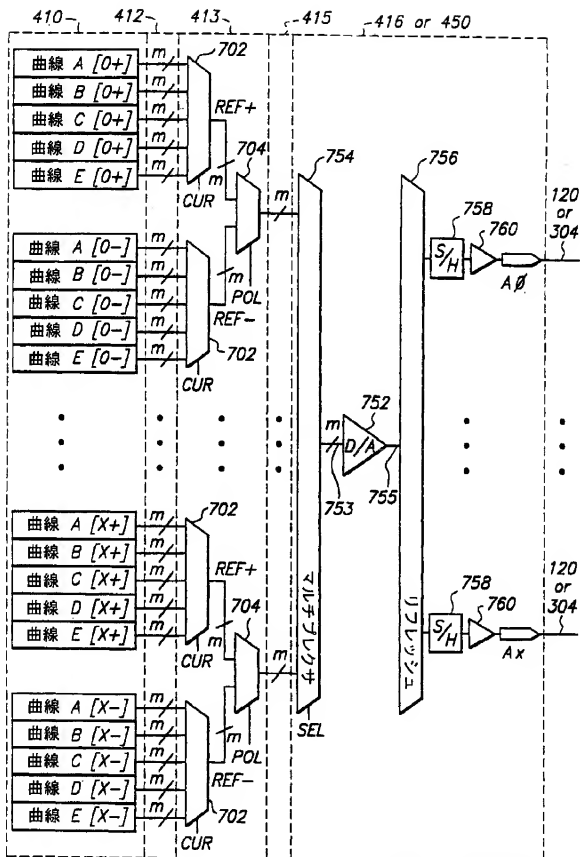


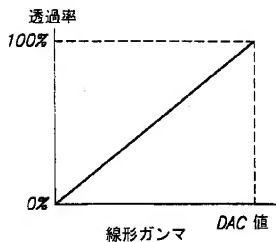
FIG. 7A

[Drawing 7]

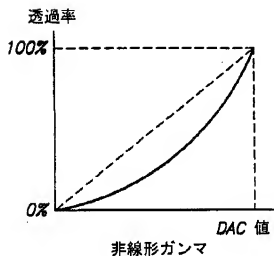




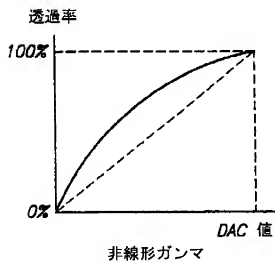
[Drawing 8]



**FIG. 8A**



**FIG. 8B**



**FIG. 8C**

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**WRITTEN AMENDMENT**

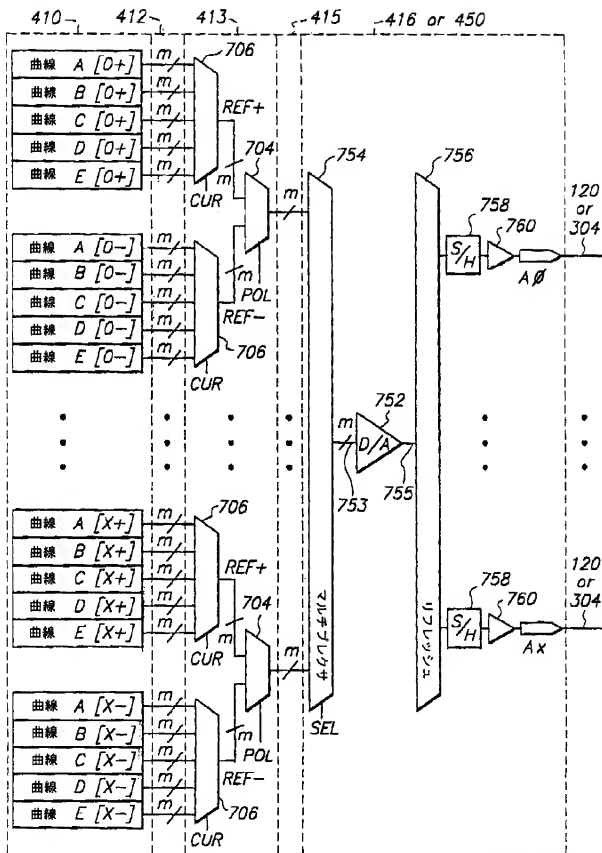
---

[Procedure revision]

[Filing Date] March 24, Heisei 11 (1999. 3. 24)

[Proposed Amendment]

[Drawing 7]



[Procedure revision]

[Filing Date] April 26, Heisei 13 (2001. 4.26)

[Proposed Amendment]

## 2. Claim

1. In Order to Control Train and Line Driver of Active Matrix Display

They are \*\* and a single integrated-circuit device,

The digital timing signal and digital control signal which were supplied to said line driver

The line control circuit for generating,

The digital timing signal and digital control signal which were supplied to said train driver

The train control circuit for generating,

Selection analog voltage is generated and it is said selection analog \*\* to said train driver.

\*\* is supplied and it is \*\*\*\*\* about two or more train electrodes of said active matrix display.

The analog circuit of a \*\* sake,

DIJITA corresponding to said selection analog voltage supplied to said train driver

The register connected to said analog circuit for memorizing a RU value, Multi-PUREKU connected to said register for choosing from said digital value

SA,

Said digital value chosen by said multiplexer is received, and he is said Ma.

Said selection analog \*\* corresponding to said digital value chosen by RUCHIPUREKUSA

Di in said analog circuit for supplying \*\* level to said train driver

The device which consists of a JITARU-analog transducer.

2. Drive Buffer in Exterior of Said Single Integrated-Circuit Device is Said AKUTIBUMA.

To said train driver for driving said two or more train electrodes of a trick SUDI spray

Before receiving and supplying said selection analog voltage, it is the power of said selection analog voltage.

The device of claim 1 made to increase.

3. Said Selection Analog Voltage is Comparatively Low Power, and Said Train Driver Describes above.

It is comparatively low PA to said two or more train electrodes of an

active matrix display.

Debye of claim 1 currently designed so that the analog voltage level of WA may be supplied

SU.

4. In Order to Control Train and Line Driver of Active Matrix Display

It is a system,

A timing signal and a control signal digital [ receiving digital display information and ]

The chip control circuit for generating,

A digital timing signal and a digital control signal are received from said chip control circuit,

And the function of the said timing signal and control signal which were received from said chip control circuit

It is \*\* to said chip control circuit for carrying out and supplying a line control signal to said line driver.

The line control circuit \*(ed),

A digital timing signal and a digital control signal are received from said chip control circuit,

And the function of the said timing signal and control signal which were received from said chip control circuit

It is \*\* to said chip control circuit for carrying out and supplying a train control signal to said train driver.

The train control circuit \*(ed),

Said daisy which generated selection analog voltage and was received from said chip control circuit

As a function of TARU display information, they are such selection analog voltage to said train driver.

The analog circuit connected to said chip control circuit for supplying, Said ANARO for memorizing the digital value corresponding to said selection analog voltage

The register connected to the GU circuit,

The multiplexer for choosing from said digital value,

The digital value chosen by said multiplexer is received, and it is said Mull.

Said selection analog voltage corresponding to the digital value chosen by CHIPUREKUSA

Digital-A in said analog circuit for supplying to said train driver NAROGU converter

The single integrated-circuit smart controller which has \*\* since -- the becoming system.

5. PUROGU by Which Said Digital Value was Connected to Exterior of Said

Single Integrated-Circuit Device

The system of claim 4 received from the read-only memory in which a ram is possible.

6. System of Claim 4 by which Said Digital Value is Received from Host System

7. Said Digital Value -- Flash Memory inside Said Single Integrated-Circuit Device

The system of claim 4 \*\*\*\*\* (ed).

8. Display Gamma Function [ as Opposed to Flat-panel Display in Said Digital Value ]

in order to adjust -- the software in said host system -- dynamic -- decision

\*\*\*\* -- the system of claim 6 which consists of things.

9. 1st \*\* corresponding to 1st and 2nd Selection Analog Voltage Level in Said Register

\*\*\*\* 2 digital value is memorized and said multiplexers are these 1st and 2nd Di.

from a JITARU value -- choosing -- and said digital-to-analog inside said analog circuit -- strange

said digital value as which \*\*\*\* was chosen by said multiplexer -- receiving -- and

Said ANARO corresponding to said digital value chosen by said multiplexer

The system of claim 4 which supplies a GU voltage level to said train driver.

10. Said 1st Digital Value is Forward and Said 2nd Digital Value is Negative.

It is the system of claim 9,

It synchronizes with the timing signal supplied to said train driver, and is said multiplexer.

In order to switch selection of said 1st or 2nd digital value made as be alike

The polar signal added to said multiplexer is included further, and it is said 1st [ the ] or the 2nd.

By the switch to \*\* digital value, it is the liquid crystal member of a flat-panel display.

The system by which \*\*\*\*\* happens.

11. Display Gamma Function of Plurality [ Digital Value / Which was Memorized in Said Register / Said ]

The system of claim 4 which expresses.



12. Said Register Contains 1st, 2nd, 3rd, and 4th Register Files,  
the 1st forward digital value memorized from said 1st register file --  
or  
\*\* for choosing the 2nd forward digital value from said 2nd register  
file  
It is the multiplexer of 1 and said 1st forward digital value is a flat  
panel.  
It relates to the 1st [ to a display ] display gamma function, and is  
said 2nd forward DIJITA.  
A RU value is \*\*\*\*\* to the 2nd [ to this flat-panel display ] display  
gamma function.  
\*\* and this 1st multiplexer,  
The 1st negative digital value from said 3rd register file, or said 4th  
/ the  
The 2nd Mull for choosing the 2nd negative digital value from a \*\*  
register file  
It is CHIPUREKUSA and said 1st negative digital value is said 1st  
display gamma Seki.  
In relation to a number, said 2nd negative digital value relates to said  
2nd display gamma function.  
This 2nd multiplexer to carry out,  
Said digital value chosen by said 1st multiplexer or the above  
Said digital value chosen by the 2nd multiplexer is chosen and chosen.  
the selection analog voltage corresponding to said digital value carried  
out -- generating -- said -- active  
Said train DO for driving at least one train electrode of a matrix  
display  
Said ANARO for supplying said generated selection analog voltage to  
RAIBA  
It is said selected DIJITA to said digital-to-analog converter in a GU  
circuit.  
The 3rd multiplexer which supplies a RU value  
\*\* -- since -- the becoming system of claim 4.

13. Said Register Contains 1st, 2nd, 3rd, and 4th Register Files,  
The 1st digital value or said 2nd RE from said 1st register file  
1st multi-PUREKU for choosing the 2nd digital value from a JISUTA file  
SA,  
The 3rd digital value or said 4th RE from said 3rd register file  
2nd multi-PUREKU for choosing the 4th digital value from a JISUTA file  
SA,  
Said digital value chosen by said 1st multiplexer or the above

Said digital value chosen by the 2nd multiplexer is chosen and chosen.  
It is said A in order to generate the selection analog voltage  
corresponding to said digital value carried out.

It is said selected DIJITA to the digital-to-analog converter in a  
NAROGU circuit.

The 3rd multiplexer which supplies a RU value,

Said selection analog voltage is received and it is the 1st thump about  
said selection analog voltage.

It sends to either RU and a hold circuit or the 2nd sample and hold  
circuit.

The refresh circuit of a sake

Said selection analog voltage from said 1st sample and hold circuit is  
received,

And since two or more train electrodes of said active matrix display are  
driven

The 1st buffer which supplies said selection analog voltage to said  
train driver,

Said selection analog voltage from said 2nd sample and hold circuit is  
received,

And since two or more train electrodes of said active matrix display are  
driven

The 2nd buffer which supplies said selection analog voltage to said  
train driver

\*\* -- since -- the becoming system of claim 4.

14. Said Register is the 1st, the 2nd, the 3rd, the 4th, the 5th, the  
6th, the 7th, and the 8th.

A register is included,

The 1st forward digital value memorized by said 1st register or said 2nd  
[ the ]

The 1st MARUCHIPU for choosing the 2nd forward digital value memorized  
by the register

It is REKUSA and said 1st forward digital value is a flat-panel display.

It is alike, and relates to the 1st receiving display gamma function,  
and said 2nd forward digital value is this FU.

it relates to the 2nd [ to a rat panel display ] display gamma function  
-- this -- the 1st

Multiplexer,

The 1st negative digital value memorized by said 3rd register or said  
4th [ the ]

With the 2nd multiplexer for choosing the 2nd negative digital value in  
a register

It is and said 1st negative digital value relates to said 1st display gamma function,  
said 2nd negative digital value relates to said 2nd display gamma function -- this -- the 2nd  
\*\* multiplexer,  
The 3rd forward digital value memorized by said 5th register or said 6th [ the ]  
The 3rd MARUCHIPU for choosing the 4th forward digital value memorized by the register  
It is REKUSA and said 3rd forward digital value is said 1st display gamma function.  
It is related and said 4th forward digital value relates to said 2nd display gamma function.  
This 3rd multiplexer,  
The 3rd negative digital value memorized by said 7th register or said 8th [ the ]  
With the 4th multiplexer for choosing the 4th negative digital value in a register  
It is and said 3rd negative digital value relates to said 1st display gamma function,  
said 4th negative digital value relates to said 2nd display gamma function -- this -- the 4th  
\*\* multiplexer,  
Said digital value chosen by said 1st multiplexer or the above  
\*\* for choosing said digital value chosen by the 2nd multiplexer  
Five multiplexers,  
Said digital value chosen by said 3rd multiplexer or the above  
\*\* for choosing said digital value chosen by the 4th multiplexer  
Six multiplexers,  
Said digital value chosen by said 5th multiplexer or the above  
Said digital value chosen by the 6th multiplexer is chosen and chosen.  
Said announcer for generating the selection analog voltage corresponding to said digital value carried out  
It is said selected daisy to said digital-to-analog converter in a log circuit.  
The 7th multiplexer which supplies a TARU value,  
said selection analog voltage -- receiving -- and said selection analog voltage -- the 1st -- maintenance  
The 1st sample and hold circuit or the 2nd were held as \*\*\*\* level.  
RIFURETSU for sending to either of the 2nd sample and hold circuit as level

SHU circuit,

It is a carrier about the level on which said 1st [ the ] from said 1st sample and hold circuit was held.

\*\*\*\* -- and two or more train electrodes of said active matrix display are driven

The 1st BA which supplies the level on which said 1st [ the ] was held to said train driver at the sake

FFA,

It is a carrier about the level on which said 2nd [ the ] from said 2nd sample and hold circuit was held.

\*\*\*\* -- and two or more train electrodes of said active matrix display are driven

The 2nd BA which supplies the level on which said 2nd [ the ] was held to said train driver at the sake

FFA

\*\* -- since -- the becoming system of claim 4.

15. In Order to Control Train and Line Driver of Active Matrix Display It is the approach of using \*\* and a single integrated-circuit device, Display information is received from the interface to a host system, Digital TAIMI of the 1st set for said line drivers from said received display information

A NGU signal and a control signal are determined,  
Digital TAIMI of the 2nd set for said train drivers from said received display information

A NGU signal and a control signal are determined,

Two or more DE used in order to generate two or more corresponding selection analog voltage level

An IJITARU value is memorized,

To said display information received from said host system using the multiplexer

It is based and at least one of said two or more of the digital value is chosen,

As a function of said selected digital value, it is said corresponding selection \*\*\*\*\*.

A bell is generated,

About said digital timing signal and digital control signal of the 1st set, it is said line driver.

It outputs,

About said digital timing signal and digital control signal of the 2nd set, it is said train driver.

It outputs,

Said selection analog voltage level is supplied to said train driver.  
How to consist of a step.

16. From Programmable Read-only Memory of Exterior of Said Integrated-Circuit Device

Claim 15 which contains further the step which receives said two or more digital value first

\*\*\*\*\*.

17. Is Digital Value Which is Said Plurality Interface to Said Host System?

The approach of claim 15 \*\*\*\*\*ed).

18. Said Two or More Digital Value is for Software in Said Host System.  
\*\*, the approach of claim 17 determined dynamically.

19. 1st Digital Value in Said Two or More Digital Value is Forward, and it is Said \*\*.

The 2nd digital value in the digital value of a number is negative, and it is said 1st DE further.

It is a polar signal in order to choose from an IJITARU value and said 2nd digital value alternatively.

An approach including supplying said multiplexer according to claim 15.

20. It is 1st Multi-PUREKU about 1st Digital Value or 2nd Digital Value.  
It chooses by SA,

It is the 2nd multiplexer about the 3rd digital value or the 4th digital value.

It chooses,

Said digital value chosen by said 1st multiplexer or the above

About said digital value chosen by the 2nd multiplexer, it is the 3rd MARUCHIPU.

It chooses by REKUSA,

About said digital value chosen by said 3rd multiplexer, he is selection announcer.

It changes into a log electrical potential difference,

as the level on which the 1st was held in said selection analog voltage -- the 1st sample -- and

It is the 2nd sample and hole as a hold circuit or level on which the 2nd was held.

It is delivery to either of the DO circuits,

Level on which said 1st [ the ] from said 1st sample and hold circuit was held,

Said train driver is supplied through the 1st buffer, and it is said active MATORIKKUSUDE.

Two or more train electrodes of ISUPUREI are driven,

Level on which said 2nd [ the ] from said 2nd sample and hold circuit was held,

Said train driver is supplied through the 2nd buffer, and it is said active MATORIKKUSUDE.

Two or more train electrodes of ISUPUREI are driven.

The approach of claim 15 which consists of a step.

21. Receive Indicative Data from Interface to Host System, and it is Front.

The data/synchronous input for supplying said digital display information to an account chip control circuit

Circuit

since -- the becoming system of claim 4.

---

[Translation done.]



(2)

特表2002-509621

## 【特許請求の範囲】

1. アクティブマトリックスディスプレイの列及び行ドライバを制御するための集積回路デバイスであって、

デジタルのタイミング及び制御信号を、前記行ドライバに対して生成するための行制御回路と、

デジタルのタイミング及び制御信号を、前記列ドライバに対して生成するための列制御信号と、

前記アクティブマトリックスディスプレイの列電極に加えるためのアナログ電圧を決定するために、前記列ドライバによって使用されるアナログ基準レベルを出力するためのアナログ出力回路とからなる集積回路デバイス。

2. 駆動バッファが、前記アナログ基準レベルが前記列ドライバによって使用される前に、該アナログ基準レベルのパワーを増加させることからなる請求項1のデバイス。

3. 前記アナログ基準レベルが比較的低いパワーであり、前記列ドライバが、比較的低いパワーのアナログ基準レベルを使用するように設計されていることからなる請求項1のデバイス。

4. 集積回路デバイスにおいて、アクティブマトリックスディスプレイの列及び行ドライバを制御するためのシステムであって、

ホストシステムへのインターフェースから表示データを受信するためのデータ／同期入力回路と、

前記データ／同期入力回路から信号を受信するチップ制御回路と、

前記チップ制御回路からデジタルのタイミング及び制御信号を受信し、前記行ドライバに制御信号を与えるための行制御回路と、

前記チップ制御回路からデジタルのタイミング及び制御信号を受信し、前記列ドライバに制御信号を与えるための列制御回路と、

前記チップ制御回路からデジタルのタイミング及び制御信号を受信し、前記列ドライバに対するアナログ基準レベルを決定するアナログ出力信号を生成



(3)

特許2002-509621

するためのアナログ出力回路

とからなるシステム。

5. 前記アナログ出力信号を決定するデジタル値を記憶するための前記アナログ出力回路に接続されたレジスタをさらに具備する、請求項4のシステム。

6. 前記集積回路デバイスの外部のプログラム可能な読み出し専用メモリから、前記デジタル値が最初に受信されることからなる請求項5のシステム。

7. 前記デジタル値が、ホストシステムへのインターフェースから受信されることからなる請求項5のシステム。

8. 前記デジタル値が、前記集積回路デバイス内部のフラッシュメモリから最初に受信されることからなる請求項5のシステム。

9. 前記デジタル値が、フラットパネルディスプレイに対する表示ガンマ関数を調整するために、ホストシステム内のソフトウェアによって動的に決定されることからなる請求項7のシステム。

10. 前記レジスタが、第1及び第2のレジスタファイルを含み、前記アナログ出力が、第1のアナログ出力を含む請求項5のシステムであって、

前記第1のレジスタファイルからの第1のデジタル値、または前記第2のレジスタファイルからの第2のデジタル値を選択するためのマルチプレクサと、

前記マルチプレクサによって選択されたデジタル値を受信し、前記第1のアナログ出力を駆動するための、アナログ回路内のデジタル-アナログ変換器とからさらになるシステム。

11. 前記第1のデジタル値が正であり、前記第2のデジタル値が負である請求項10のシステムであって、

列ドライバに与えられるタイミング信号に同期して、前記マルチプレクサによってなされる前記第1または第2のデジタル値の選択を切り換えるために、該マルチプレクサに加えられる極性信号をさらに含み、前記第1または第2のデジタル値への切り換えによって、フラットパネルディスプレイの液晶部材の反転が起こることからなるシステム。

12. 前記第1のレジスタファイルが、複数の表示ガンマ関数に対応する複数の

(4)

特許2002-509621

デジタル値を含む、請求項10のシステム。

13、前記アナログ出力信号を決定するデジタル値を記憶するための前記アナログ出力回路に接続されたレジスタであって、第1、第2、第3及び第4のレジスタファイルを含むレジスタと、

前記第1のレジスタファイルからの第1の正のデジタル値、または前記第2のレジスタファイルからの第2の正のデジタル値を選択するための第1のマルチプレクサであって、前記第1の正のデジタル値は、フラットパネルディスプレイに対する第1の表示ガンマ関数に関連し、前記第2の正のデジタル値は、該フラットパネルディスプレイに対する第2の表示ガンマ関数に関連する、該第1のマルチプレクサと、

前記第3のレジスタファイルからの第1の負のデジタル値、または前記第4のレジスタファイルからの第2の負のデジタル値を選択するための第2のマルチプレクサであって、前記第1の負のデジタル値は、前記第1の表示ガンマ関数に関連し、前記第2の負のデジタル値は、前記第2の表示ガンマ関数に関連する、該第2のマルチプレクサと、

前記第1のマルチプレクサによって選択された前記デジタル値、または前記第2のマルチプレクサによって選択された前記デジタル値を選択するための第3のマルチプレクサと、

前記第3のマルチプレクサによって選択された前記デジタル値を受信し、受信された前記デジタル値に対応する電圧まで、前記アナログ基準レベルを駆動するための、アナログ回路内のデジタル-アナログ変換器とからなる請求項4のシステム。

14、前記アナログ出力信号を決定するデジタル値を記憶するための前記アナログ出力回路に接続されたレジスタであって、第1、第2、第3及び第4のレジスタファイルを含むレジスタと、

前記第1のレジスタファイルからの第1のデジタル値、または前記第2のレジスタファイルからの第2のデジタル値を選択するための第1のマルチプレクサと、

(5)

特許2002-509621

前記第3のレジスタファイルからの第3のデジタル値、または前記第4のレジスタファイルからの第4のデジタル値を選択するための第2のマルチプレクサと、

前記第1のマルチプレクサによって選択された前記デジタル値、または前記第2のマルチプレクサによって選択された前記デジタル値を選択するための第3のマルチプレクサと、

前記第3のマルチプレクサによって選択された前記デジタル値を受信し、受信された前記デジタル値に対応するアナログレベルを出力するための、アナログ回路内のデジタル-アナログ変換器と、

前記アナログレベルを受信し、該アナログレベルを、第1のサンプル及びホールド回路または第2のサンプル及びホールド回路のいずれかに送るためのリフレッシュ回路と、

前記第1のサンプル及びホールド回路からの第1の保持されたレベルを受信し、前記第1の保持されたレベルまで第1のアナログ基準レベルを駆動するための第1のパルファと、

前記第2のサンプル及びホールド回路からの第2の保持されたレベルを受信し、前記第2の保持されたレベルまで第2のアナログ基準レベルを駆動するための第2のパルファ

とからさらなる請求項4のシステム。

15. 前記アナログ出力信号を決定するデジタル値を記録するための前記アナログ出力回路に接続されたレジスタであって、第1、第2、第3、第4、第5、第6、第7、及び第8のレジスタを含むレジスタと、

前記第1のレジスタに記憶された第1の正のデジタル値、または前記第2のレジスタに記憶された第2の正のデジタル値を選択するための第1のマルチプレクサであって、前記第1の正のデジタル値は、フラットパネルディスプレイに対する第1の表示ガンマ関数に関連し、前記第2の正のデジタル値は、該フラットパネルディスプレイに対する第2の表示ガンマ関数に関連する、該第1のマルチプレクサと、

前記第3のレジスタに記憶された第1の負のデジタル値、または前記第4

(5)

特許2002-509621

のレジスタ内の第2の負のデジタル値を選択するための第2のマルチプレクサであって、前記第1の負のデジタル値は、前記第1の表示ガンマ関数に関連し、前記第2の負のデジタル値は、前記第2の表示ガンマ関数に関連する、該第2のマルチプレクサと、

前記第5のレジスタに記憶された第3の正のデジタル値、または前記第6のレジスタに記憶された第4の正のデジタル値を選択するための第3のマルチプレクサであって、前記第3の正のデジタル値は、前記第1の表示ガンマ関数に関連し、前記第4の正のデジタル値は、前記第2の表示ガンマ関数に関連する、該第3のマルチプレクサと、

前記第7のレジスタに記憶された第3の負のデジタル値、または前記第8のレジスタ内の第4の負のデジタル値を選択するための第4のマルチプレクサであって、前記第3の負のデジタル値は、前記第1の表示ガンマ関数に関連し、前記第4の負のデジタル値は、前記第2の表示ガンマ関数に関連する、該第4のマルチプレクサと、

前記第1のマルチプレクサによって選択された前記デジタル値、または前記第2のマルチプレクサによって選択された前記デジタル値を選択するための第5のマルチプレクサと、

前記第3のマルチプレクサによって選択された前記デジタル値、または前記第4のマルチプレクサによって選択された前記デジタル値を選択するための第6のマルチプレクサと、

前記第5のマルチプレクサによって選択された前記デジタル値、または前記第6のマルチプレクサによって選択された前記デジタル値を選択するための第7のマルチプレクサと、

前記第7のマルチプレクサによって選択された前記デジタル値を受信し、受信された前記デジタル値に対応するアナログレベルを出力するための、アナログ回路内のデジタル-アナログ変換器と、

前記アナログレベルを受信し、該アナログレベルを、第1のサンプル及びホールド回路または第2のサンプル及びホールド回路のいずれかに送るためのリフレッシュ回路と、

(7)

特許2002-509621

前記第1のサンプル及びホールド回路からの第1の保持されたレベルを受信し、前記第1の保持されたレベルまで第1のアナログ基準レベルを駆動するための第1のパルプアと、

前記第2のサンプル及びホールド回路からの第2の保持されたレベルを受信し、前記第2の保持されたレベルまで第2のアナログ基準レベルを駆動するための第2のパルプア

とからさらなる請求項4のシステム。

16. 集積回路デバイスにおいて、アクティブマトリックスディスプレイの列及び行ドライバを制御するための方法であって、

ホストシステムへのインターフェースから表示情報を受信することと、

受信した前記情報から、前記行ドライバ用の第1のデジタルのタイミング及び制御信号を決定することと、

受信した前記情報から、前記列ドライバ用の第2のデジタルのタイミング及び制御信号を決定することと、

受信した前記情報から、前記列ドライバ用のアナログレベルを決定することと、

前記第1のデジタルのタイミング及び制御信号を、前記行ドライバに出力することと、

前記第2のデジタルのタイミング及び制御信号を、前記列ドライバに出力することと、

前記アナログレベルを前記列ドライバに出力すること

とからなる方法。

17. 前記アナログレベルを決定するために使用されるデジタル値を記憶することを、さらに含む請求項16の方法。

18. 前記集積回路デバイスの外部のプログラム可能な読み出し専用メモリから、最初に前記デジタル値を受信することと、さらに含む請求項17の方法。

19. 前記デジタル値が、ホストシステムへのインターフェースから受信されることからなる請求項17の方法。

20. 前記デジタル値が、ホストシステム内のソフトウェアによって、動的

(8)

特許2002-509621

に決定されることからなる請求項19の方法。

21、第1のレジスタファイルからの第1のデジタル値、または第2のレジスタファイルからの第2のデジタル値を、マルチプレクサで選択することと、

前記選択されたデジタル値を前記アナログレベルの一つに変換すること  
をさらに含む請求項17の方法。

22、前記第1のデジタル値が正であり、前記第2のデジタル値が負である  
請求項21の方法であって、さらに、極性信号を前記マルチプレクサに与えるこ  
とを含む方法。

23、前記第1のレジスタファイルが、複数のデジタル値を含むことからなる  
請求項21の方法。

24、第1のレジスタファイルからの第1のデジタル値、または第2のレジスタ  
ファイルからの第2のデジタル値を、第1のマルチプレクサで選択すること  
と、

第3のレジスタファイルからの第3のデジタル値、または第4のレジスタフ  
ァイルからの第4のデジタル値を、第2のマルチプレクサで選択することと、

前記第1のマルチプレクサによって選択された前記デジタル値、または前記  
第2のマルチプレクサによって選択された前記デジタル値を、第3のマルチプ  
レクサで選択することと、

前記第3のマルチプレクサによって選択された前記デジタル値を、前記アナ  
ログレベルに変換することと、

前記アナログレベルを、第1のサンプル及びホールド回路または第2のサンプ  
ル及びホールド回路のいずれかに送ることと、

前記第1のサンプル及びホールド回路からの第1の保持されたレベルを受信し  
、第1のアナログ基準レベルを駆動する第1のバッファに送ることと、

前記第2のサンプル及びホールド回路からの第2の保持されたレベルを受信し  
、第2のアナログ基準レベルを駆動する第2のバッファに送ること

をさらに含む請求項17の方法。

(9)

特許2002-509621

**【発明の詳細な説明】****アクティブマトリックスディスプレイを制御するための装置及び方法****I. 発明の背景****1. 技術分野**

この発明は、アクティブマトリックスディスプレイコントローラに関連する。アクティブマトリックスディスプレイコントローラは、通常は、特定用途向けの集積回路 (ASIC) であり、アクティブマトリックスフラットパネルディスプレイに付随するサポートチップの一つである。このコントローラは、ホストシステムから表示データを受け取り、それを、制御信号及びタイミング信号と共にディスプレイパネルの列及び行ドライバに送信する。

**2. 従来技術**

アクティブマトリックスディスプレイ技術のさまざまな側面における最近の進歩により、アクティブマトリックスディスプレイは、ここ数年急激に普及してきた。アクティブマトリックスディスプレイには、各表示セルに対応して一つのトランジスタまたはスイッチがある。アクティブマトリックスディスプレイは、先ず、セルの行のゲートをアクティブにするために、その行電極に規定電圧を加え、次に、その選択された行の各セルを所望の電圧レベルに充電するために列電極に適切なアナログデータ電圧を加えることによって動作する。

アクティブマトリックスディスプレイにおいて現在のところ使用されるコントローラチップ (集積回路) は、完全にデジタル式である。しかし、アクティブマトリックスディスプレイを制御するためには、アナログ回路も必要である。具体的には、列電極にアナログデータ電圧を供給するディスプレイパネルの周辺部の列ドライバは、通常、デジタル-アナログ変換を行うためにアナログ基準レベルを必要とし、これらのアナログ基準レベルは、ディスプレイの液晶の両端間の極性を反転させるよう変化可能であることが必要とされる。アナログ回路のサイズ、電力消費、及び発熱が大きいために、アナログ回路は、従来技術の完全にデジタル式のコントローラチップには組み込まれず、外部

の回路で処理しなければならない。この外部回路があるために、アクティブマト

(10)

特表2002-509621

リックスディスプレイシステムの製造及び組立が複雑になる。

さらに、現在のコントローラチップは、特定のシステム用に非常に限定されたものである。コントローラチップは、通常、ある一定の目的に使用するアクティブマトリックスディスプレイ用に、また、ある一定のメーカーの周辺ドライバ用に設計される。例えば、あるフラットパネルディスプレイのメーカーが、異なる種類の列ドライバに切り換えることを決定した場合には、そのコントローラASIC（特定用途向け集積回路）は、通常は、再設計しなければならない。

さらに、現在のコントローラチップは、ディスプレイの動作特性を動的に変更する能力においては、相当の制限がある。そのような特性の一つに、表示 $\gamma$ （display gamma、表示ガンマ）がある。この表示 $\gamma$ は、表示セルすなわち画素によって放射される光量と、それを生成するために使用される電圧との関数関係を規定するものである。アクティブマトリックスディスプレイでは、この電圧は、列ドライバのアナログ出力である。 $\gamma$ の式は、 $\text{Light out (出力光)} = \text{電圧}^\gamma$ である。通常、表示用のソフトウェアは線形の $\gamma$ 特性、すなわち、放射される光量は電圧に比例するものと想定している。しかしながら、CRT、アクティブマトリックスディスプレイ共に、電圧に対する光の応答においては、本質的に非線形特性を有する。アクティブマトリックスディスプレイでは、この非線形 $\gamma$ 特性は、列ドライバに送られるアナログ基準レベルによって補正される。

この表示 $\gamma$ を補正する能力がある場合には、それは、融通の利かない、非効率的なものであるカラー Lookupアップテーブル（CLUT）法を、通常、使用して実施される。CLUTを使用するシステムでは、所望のアナログ電圧を規定するデジタル値は、実際には、CLUTへのインデックスとして使用される。CLUT内の指示されたそれぞれの場所には、新たなデジタル値が記憶されている。この値が、アナログ電圧に変換されたときに所望の表示 $\gamma$ を与える。非線形の表示 $\gamma$ 特性を実現するためにカラー Lookupアップテーブルを使用すると、同じ伝達値（transmission value）に対応するデジタル値の数が非常に多くなる。このために、デジタル値が、通常6ビット（すなわち、64レベル）に制限され

ているフラットパネルディスプレイでは、その価格が高くなる。特定の用途に対



(11)

特許2002-509821

するディスプレイの要件に適合させるために、あるいは、ディスプレイパネルの伝達動作を変えてしまう温度変化を補償するために、動的な調整が可能となるように、表示 $\gamma$ を変更するためのより柔軟性があって効率の良い方法が必要とされる。

上述した理由により、デジタル回路とアナログ回路を組み合わせて、ディスプレイシステムの製造及び組み立てにおける複雑さを軽減し、再設計することなく異なるシステムに適用可能なように十分に柔軟性があり、特定の用途に適合するようディスプレイの動作特性を変更すること、及びディスプレイパネルの伝達動作を変えてしまう温度変化を補償することが動的に可能な、フラットパネルディスプレイのコントローラが必要とされている。

## II. 要約

本発明は、上述の要求を満足する、アクティブマトリックスディスプレイを制御するためのシステム及び方法に関連する。このシステム及び方法は、「スマート (smart)」コントローラチップを使用することを含む。

アナログ基準レベルを生成するためのアナログ回路は、スマートコントローラチップ内にデジタル回路と共に組み込まれる。D/Aアナログ回路と標準的なデジタルロジックの組み合わせによって、コントローラは、通常のデジタル機能に対するものだけでなく、表示 $\gamma$ のようなパネルのアナログ的な側面の制御に対するすべてのパネル制御の要求に対処可能なように、一義的に適合される。このアナログ制御回路をプログラム可能な制御ASICに直接組み込むことにより、パネルのアナログ的な機能をソフトウェアによって制御することが可能となる。さらに、外部の基準回路を除去することによって、ディスプレイシステムの製造及び組立の複雑さが軽減されることになる。

さらに、スマートコントローラチップはその内部に、アナログ基準レベルに相当するデジタル値を含むことができるプログラム可能なレジスタを含んでいる。これらのレジスタの内容は、外部のPROMに記憶されたデジタル値によって初めにプログラムすることができる。この設計により、スマートコン

トローラチップを、再設計することなく異なるシステムに適用するのに十分に柔

(12)

特許2002-509621

軟性を有するものとする事が可能となる。各特定のディスプレイシステム用にコントローラASICを再設計するかわりに、同一のスマートコントローラチップが、特定のディスプレイシステムに整合したプログラムを有する適切なPROMと共に使用される。代替としては、これらのレジスタは、スマートコントローラチップに組み込まれたフラッシュメモリに記憶されたデジタル値によって初めてプログラムすることもできる。

ホストシステム内のソフトウェアは、ホストシステムとスマートコントローラチップの間のインターフェースを介して、スマートコントローラチップの内部レジスタをプログラムすることもできる。これらのレジスタを、アナログ基準レベルに相当するデジタル値でプログラムすることによって、システムのソフトウェアは、表示 $\gamma$ 特性カーブのような、ディスプレイの動作特性を動的に変更することができる。こうして、ホスト上で実行される特定のアプリケーションに適合させるための、または、ディスプレイパネルの環境における変化を補償するための、動的な調整がなされる。

表示 $\gamma$ を制御するこの方法は、CLUT法によって表示 $\gamma$ を制御する方法に比べてかなりの利点がある。CLUT法においては、非常に多くの数のデジタル値が、通常、同一の送信値に対応するが、この方法では、各デジタル値が、それぞれ唯一の送信値に対応する。

### III. 図面の簡単な説明

図1は、アクティブマトリクスディスプレイの従来の制御システムを示すブロック図である。

図2は、本発明の第1の好ましい実施態様において、比較的大きなアナログ基準レベルを出力するスマートコントローラを具備する、第1のディスプレイコントロールシステム（表示制御システム）を示すブロック図である。

図3Aは、本発明の第2の及び代替の実施態様において、比較的小さいアナログ基準レベルを出力するスマートコントローラと、スマートコントローラの外部のパッファを具備する第2のディスプレイコントロールシステムを

示すブロック図である。

(13)

特表2002-509621

図3Bは、本発明の第3の及び代替の実施態様において、比較的パワーの低いアナログ基準レベルを出力するスマートコントローラと、その比較的パワーの低いアナログ基準レベルを利用することができる列ドライバを具備する第3のディスプレイコントロールシステムを示すブロック図である。

図4Aは、本発明の第1の好ましい実施態様における、第1のスマートコントローラチップを示すブロック図である。

図4Bは、本発明の第2の及び代替の実施態様における、第2のスマートコントローラチップを示すブロック図である。

図5は、従来の列ドライバの入力及び出力を示す概略ブロック図である。

図6は、液晶の伝達カーブを示すグラフである。

図7Aは、本発明の第1の好ましい実施態様における、スマートコントローラ内のレジスタ、マルチプレクサ及びアナログ出力回路を具備するブロック図である。

図7Bは、本発明の第2の及び代替の実施態様における、スマートコントローラ内のレジスタ、マルチプレクサ及びアナログ出力回路を具備するブロック図である。

図8Aは、線形の表示 $\gamma$ のグラフである。

図8Bは、第1の非線形の表示 $\gamma$ のグラフである。

図8Cは、第2の非線形の表示 $\gamma$ のグラフである。

#### IV. 好適な実施態様の説明

以下に、本発明の好ましい実施態様を図面を参照して説明する。

図1は、従来のコントローラチップ102を具備するアクティブマトリックスディスプレイの従来の制御システム100を示すブロック図である。表示データと同期信号は、通常はコンピュータシステムであるホストシステム105から、ライン104を介してコントローラ102に入力される。コントローラ102は、列制御信号をライン106を介して、及び表示データをライン107を介して、ライン109を介してアクティブマトリックスディスプレイ11

0の列電極に接続される列ドライバ108に送る。コントローラ102は、また

(14)

特許2002-509621

、行制御信号をライン112を介して、ライン115を介してアクティブマトリックスディスプレイ110の行電極に接続される行ドライバ114に送る。コントローラ102の外部には、コントローラ102からライン118を介して基準制御信号を受信し、ライン120を介して列ドライバ108にアナログ基準レベルを送る基準回路116がある。列ドライバ108が、低電圧の列ドライバである場合には、基準回路116は、ディスプレイ110の液晶の極性を反転させるために、アナログ基準レベルを、2つの固定された電圧レベルのどちらかに切り換えることもできる。液晶(LC)材料は、その両端に加えられる電圧の極性がある時間にわたって切り替わることを必要とする。そうでなければ、液晶材料に関する画質の問題が生じる。これは、LC反転(LC inversion)と呼ばれる。LC部材は、2つのコンデンサのプレート間に挟まれる。一方のプレートは、マトリックススイッチによって列ドライバの出力に接続される。もう一方のプレートは、マトリックスのすべてのコンデンサの間に共有されている。この共通の電位は、通常、VCOMと呼ばれている。高電圧の列ドライバは、液晶の極性を、VCOMに対して正の電圧から、VCOMに対して負の電圧に切り換えることができるように、十分な電圧範囲をそれ自体の出力上に有している。これらの高電圧ドライバは、また、正及び負の電圧レベルのいずれもが列ドライバに入力されるように十分なアナログ基準レベルを有している。従って、列ドライバ自身が、LC反転のすべての側面を取り扱うことができる。低電圧列ドライバが使用される場合には、LC部材の両端の極性は、VCOM電位もまた切り換わる時にのみ、切り換えることができる。この場合には、列ドライバは、その入力に一組の基準電位のみを取る。正の極性を駆動するために、VCOMは、列出力より低い電圧に切り換えられ、正の基準電位が、その列ドライバに入力されなければならない。負の極性を駆動するためには、VCOMを列出力よりも高い電圧に切り換えなければならない。かつ、負の基準電位を列ドライバに入力しなければならない。

図2は、第1の好適なディスプレイコントロールシステム200のブロック図である。この第1のディスプレイコントロールシステム200は、第1の

(15)

特許2002-509621

「スマート」コントローラチップ202、第1のシリアルバス204、プログラム可能な読み出し専用メモリ(PROM)チップ206、及び第2のシリアルバス208を含んでいる。

表示データと同期信号は、ライン104を介して、コンピュータシステム、または、テレビやビデオシステムのような他の装置でもありうるホストシステム105から、スマートコントローラ202に入力される。この第1のスマートコントローラ202は、ライン106を介して列制御信号を、及びライン107を介して表示データを、ディスプレイ110の列電極にライン109を介して接続される列ドライバ108に送信する。ディスプレイ110は、アクティブマトリックスディスプレイあるいは、それと同様に駆動される他のディスプレイとすることができる。第1のスマートコントローラ202は、また、行制御信号をライン112を介して、ディスプレイ110の行電極にライン115を介して接続される行ドライバ114に送信する。

このシステム200における第1のスマートコントローラ202は、従来システム100では必要とされる外部の基準回路116を使用することなく、比較的ハイパワー（パワーの高い）のプログラム可能なアナログ基準レベルを、ライン120を介して列ドライバ108に対して駆動する。この外部基準回路116を除去することにより、アクティブマトリックスディスプレイシステムの製造及び組立の複雑さが軽減される。

さらに、第1のスマートコントローラ202によって出力される、比較的ハイパワーのアナログ基準レベル、列及び行制御信号は、外部のPROM206によって第1のシリアルバス204を介して初めにプログラムされる。第1のシリアルバス204として使用することが可能な、典型的な業界標準のシリアルバス及びプロトコルは、I<sup>2</sup>Cバスである。外部のPROM206によって、第1のスマートコントローラ202の出力をプログラムできることにより、第1のスマートコントローラ202は、各特定のディスプレイシステムの特性に合わせて再設計することなく、それらの異なる各ディスプレイシステムで動作することが可能な柔軟性を有することになる。

さらに、第2のシリアルバス208は、第1のスマートコントローラ202

(16)

特許2002-509621

とホストシステム105との間で情報をやりとりするために使用される。この通信チャンネルを使用して、ホストシステム105内のソフトウェアは、第1のスマートコントローラ202によって出力される、アナログ基準レベル、列及び行制御信号を動的に変更することができる。第1及び第2のシリアルバス(204及び208)は、別々のバスである必要はなく、その代わりに同じバスとすることができるということに注意されたい。第1のスマートコントローラ202は、その出力を動的に変更することができることにより、特定の用途に適合するように、及び環境変化を補償するように、ディスプレイの動作特性を調整することができる。

図3Aは、第2の及び代替のディスプレイコントロールシステム300のブロック図である。この第2のディスプレイコントロールシステム300は、第2のスマートコントローラチップ302と駆動バッファ306を含んでいる。

第1のディスプレイコントロールシステム200と同様に、表示データと同期信号は、ライン104を介して、コンピュータシステムあるいは、テレビやビデオシステムのような他の装置であることが可能なホストシステム105から第2のスマートコントローラ302に入力される。この第2のスマートコントローラ302は、ライン106を介して列制御信号を、及びライン107を介して表示データを、ディスプレイ110の列電極にライン109を介して接続される列ドライバ108に送信する。ディスプレイ110は、アクティブマトリックスディスプレイあるいは、他の同様に駆動されるディスプレイとすることができる。スマートコントローラ302は、また、行制御信号を、ライン112を介して、ディスプレイ110の行電極にライン115を介して接続される行ドライバ114に送信する。

さらに、第1のディスプレイコントロールシステム200と同様に、第2のスマートコントローラ302によって出力される列及び行制御信号は、この第2のスマートコントローラ302の外部にあるPROM206によって、第1のシリアルバス204を介して初めのうちにプログラムされる。第1のシリアルバス204として使用することが可能な、典型的な業界標準のシリアルバス及びプロトコルは、I<sup>2</sup>Cバスである。代替的には、この初期のプログラミング

(17)

特許2002-509621

は、第2のスマートコントローラ302に組み込まれたフラッシュメモリ303によって提供することができる（この場合には、外部のPROM206は必要ではない）。

さらにまた、第1のディスプレイコントロールシステム200と同様に、第2のシリアルバス208は、第2のスマートコントローラ302とホストシステム105との間で情報をやりとりするために使用される。この通信チャンネルを使用して、ホストシステム105内のソフトウェアは、スマートコントローラ302によって出力される列及び行制御信号を、動的に変更することができる。第1及び第2のシリアルバス（204及び208）は、別々のバスである必要はなく、その代わりに同じバスとすることができるということに、再度注意されたい。

第1のディスプレイコントロールシステム200とは異なり、比較的ハイパワーのアナログ基準レベルを、列ドライバ108に向けてライン120上に駆動するために、外部の駆動バッファ306が、第2のディスプレイコントロールシステム300において必要とされる。第2のスマートコントローラ302は、ライン304を介して、比較的ローパワー（低パワー）のアナログ基準レベルを外部の駆動バッファ306に出力する。外部の駆動バッファ306は、このローパワーのアナログ基準レベルを受信して、ハイパワーのアナログ基準レベルをライン120上に、列ドライバ108に向けて駆動する。第1のディスプレイコントロールシステム200と同様に、第2のディスプレイコントロールシステム300は、従来のディスプレイシステム100に比べて低コストであり、かつ複雑ではなく、コントローラ302またはホストシステム105によってプログラム可能なアナログ基準レベルを出力する。第1のディスプレイコントロールシステム200に対する第2のディスプレイコントロールシステム300の利点は、外部バッファ306を、使用する特定の列ドライバ108の駆動要件にその駆動能力が適合するように、容易に変更できるということである。

図3Bは、第3の及び代替のディスプレイコントロールシステム350のブロック図である。この第3のディスプレイコントロールシステム350は、第

2のスマートコントローラチップ302と、比較的ローパワーのアナログ基準レ

(18)

特表2002-509621

バルのみを必要とする列ドライバ354を含んでいる。

第2のディスプレイコントロールシステム300と同様に、表示データと同期信号は、ライン104を介して、コンピュータシステム、あるいは、テレビやビデオシステムのような他の装置であることが可能なホストシステム105から第2のスマートコントローラ302に入力される。この第2のスマートコントローラ302は、ライン106を介して列制御信号を、及びライン107を介して表示データを、ディスプレイ110の列電極にライン109を介して接続される列ドライバ108に送信する。ディスプレイ110は、アクティブマトリックスディスプレイあるいは、他の同様に駆動されるディスプレイとすることができる。スマートコントローラ302は、また、行制御信号を、ライン112を介して、ディスプレイ110の行電極にライン115によって接続される行ドライバ114に送信する。

さらに、第2のディスプレイコントロールシステム300と同様に、第2のスマートコントローラ302によって出力される列及び行制御信号は、この第2のスマートコントローラ302の外部にあるPROM206によって、第1のシリアルバス204を介して初めのうちにプログラムされる。第1のシリアルバス204として使用することが可能な、典型的な業界標準のシリアルバス及びプロトコルは、1<sup>2</sup>Cバスである。代替的には、これらのレジスタは、スマートコントローラチップに組み込まれたフラッシュメモリ303によって、初めにプログラムすることができる（この場合には、PROM206は必要ではない）。

さらにまた、第2のディスプレイコントロールシステム300と同様に、第2のシリアルバス208は、第2のスマートコントローラ302とホストシステム105との間で情報をやりとりするために使用される。この通信チャンネルを使用して、ホストシステム105内のソフトウェアは、スマートコントローラ302によって出力される列及び行制御信号を、動的に変更することができる。第1及び第2のシリアルバス（204及び208）は、別々のバスである必要はなく、代わりに同じバスとすることができるということに、再度注意

されたい。



(19)

特許2002-509621

第2のディスプレイコントロールシステム300とは異なり、比較的高パワーのアナログ基準レベルを列ドライバ108に向けて、ライン120上に駆動するために、外部の駆動バッファ306は必要とはされない。代わりに、第2のスマートコントローラ302は、ライン120を介して、ローパワーのアナログ基準レベルを利用することができる列ドライバ354に、比較的低パワーのアナログ基準レベルを直接出力する。

図4Aは、第1のディスプレイコントロールシステム200に組み込まれた第1のスマートコントローラ202のより詳細なブロック図である。第1のスマートコントローラ202は、データ/同期入力回路402、データ出力回路404、チップ制御回路406、レジスタ入力回路408、プログラム可能なレジスタ410、マルチプレクサ回路413、列制御回路419、行制御回路421、ハイパワーアナログ出力回路416、及びオプションとしてのフラッシュメモリ303を具備している。

データ/同期入力回路402は、ホストシステム105からライン104を介して、表示データ及び同期信号を受信する。データ/同期入力回路402は、ライン403を介してデータ出力回路404に、及びライン405を介してチップ制御回路406に接続される。

レジスタ入力回路408は、第1のシリアルバス204を介して外部のPROM206から、及び第2のシリアルバス208を介してホストシステム105からデジタル値を受信することができる。レジスタ入力回路408は、ライン409を介してレジスタ410に接続される。代替的には、レジスタ入力回路408は、フラッシュメモリ303からデジタル値を受信することができる。

レジスタ410は、ライン411を介してチップ制御回路406に接続される。レジスタ410は、また、ライン412を介してマルチプレクサ(MUX)回路413に接続され、このマルチプレクサ回路は、ライン414を介してチップ制御回路406に、さらに、ライン415を介してハイパワーアナログ出力回路416に接続される。

チップ制御回路406は、ライン405を介してデータ/同期入力回路402

(20)

特表2002-509621

から、及び、ライン411を介してプログラム可能なレジスタ410から情報を受け取る。こうして受信した情報を使用して、チップ制御回路406はタイミング及び制御信号を、ライン417を介してデータ出力回路404に、ライン418を介して列制御回路419に、ライン420を介して行制御回路421に、及びライン422を介してハイパワーアナログ出力回路416に送信する。

データ出力回路404は、ライン403を介してデータ/同期入力回路402から表示データ信号を、ライン417を介してチップ制御回路406からタイミング及び制御信号を受信する。データ出力回路404は、ライン107を介して列ドライバ108に表示データ信号を送信する。

列制御回路419は、ライン418を介してチップ制御回路406からタイミング及び制御信号を受信する。列制御回路419は、ライン106を介して列ドライバ108にタイミング及び制御信号を送信する。

行制御回路421は、ライン420を介してチップ制御回路406からタイミング及び制御信号を受信する。行制御回路421は、ライン112を介して行ドライバ114にタイミング及び制御信号を送信する。

最後に、ハイパワーアナログ出力回路416は、ライン422を介してチップ制御回路406からタイミング及び制御信号を、及び、ライン415を介してMUX回路413からデジタル値を受信する。ハイパワーアナログ出力回路416は、ライン120を介して列ドライバ108に、比較的高いパワーのアナログ基準レベルを送る。

図4Bは、第2のディスプレイコントロールシステム300または第3のディスプレイコントロールシステム350のいずれかに組み込まれた第2のスマートコントローラ302のより詳細なブロック図である。第1のスマートコントローラ202と同様に、第2のスマートコントローラ302は、データ/同期入力回路402、データ出力回路404、チップ制御回路406、レジスタ入力回路408、プログラム可能なレジスタ410、マルチプレクサ回路413、列制御回路419、及び行制御回路421を具備している。第1のスマー

トコントローラ202とは異なり、第2のスマートコントローラ302は、ロー

(21)

特表2002-509621

パワーアナログ出力回路450を含んでいる。

データ／同期入力回路402は、ライン104を介してホストシステム105から、表示データ及び同期信号を受信する。データ／同期入力回路402は、ライン403を介してデータ出力回路404に、及びライン405を介してチップ制御回路406に接続される。

レジスタ入力回路408は、第1のシリアルバス204を介して外部のF R O M 206から、及び、第2のシリアルバス208を介してホストシステム105から、デジタル値を受信することができる。レジスタ入力回路408は、ライン409を介してレジスタ410に接続される。代替的には、レジスタ入力回路408は、フラッシュメモリ303からデジタル値を受信することができる。

レジスタ410は、ライン411を介してチップ制御回路406に接続される。レジスタ410は、また、ライン412を介してマルチプレクサ(MUX)回路413に接続され、このマルチプレクサ回路は、ライン414を介してチップ制御回路406に、及び、ライン415を介してローパワーアナログ出力回路450に接続される。

チップ制御回路406は、ライン405を介してデータ／同期入力回路402から、及び、ライン411を介してプログラム可能なレジスタ410から情報を受信する。こうして受信した情報を使用して、チップ制御回路406はタイミング及び制御信号を、ライン417を介してデータ出力回路404に、ライン418を介して列制御回路419に、ライン420を介して行制御回路421に、及びライン422を介してローパワーアナログ出力回路450に送信する。

データ出力回路404は、ライン403を介してデータ／同期入力回路402から表示データ信号を、ライン417を介してチップ制御回路406からタイミング及び制御信号を受信する。データ出力回路404は、ライン107を介して列ドライバ108に表示データ信号を送信する。

列制御回路419は、ライン418を介してチップ制御回路406からタイ

ミング及び制御信号を受信する。列制御回路419は、ライン106を介して列ドライバ108にタイミング及び制御信号を送信する。

(22)

特許2002-509621

行制御回路421は、ライン420を介してチップ制御回路406からタイミング及び制御信号を受信する。行制御回路421は、ライン112を介して行ドライバ114にタイミング及び制御信号を送信する。

最後に、ローパワーアナログ出力回路450は、ライン422を介してチップ制御回路406からタイミング及び制御信号を、及び、ライン415を介してMUX回路413からデジタル値を受信する。第2のスマートコントローラ302が、第2のディスプレイコントロールシステム300で使用される場合には、ローパワーアナログ出力回路450は、ライン304を介して駆動バッファ306にローパワーのアナログ基準レベルを送信する。第2のスマートコントローラ302が、第3のディスプレイコントロールシステム350で使用される場合には、ローパワーアナログ出力回路450は、ライン120を介して、ローパワーのアナログ基準レベルを利用することができる列ドライバ354に、ローパワーのアナログ基準レベルを送信する。

図5は、列ドライバ(108または354)の入力/出力を示す概略ブロック図である。列ドライバ(108または354)は、入力として $X+1$ のアナログ基準レベル( $V_0, V_1, \dots, V_X$ ) (ハイパワーかローパワーのいずれか)をライン(120または304)を介して、及びデジタル表示データをライン107を介して、さらに、制御及びタイミング信号をライン106を介して受信する。列ドライバ(108または354)は、ライン109を介してディスプレイ110の列電極に加えられる、多数( $p+1$ )のアナログ電圧を出力する。 $n$ ビットの表示データ値のそれぞれは、ラッチされて、 $X+1$ のアナログ基準レベルを使用して $p+1$ のアナログ電圧の一つに変換される。変換プロセスにおいて、 $X+1$ のアナログ基準レベルは、液晶ディスプレイ(LCD)の非線形伝達曲線(transfer curve)602に近似するように、通常は使用される。

図6は、典型的な非線形LCD伝達曲線602のグラフである。表示画素(ピクセル)の透過率(transmission、伝達度)が、画素の両端に加えられる

電圧に対してプロットされている。説明のために、透過率における線形ステップに対応する $V_0$ から $V_9$ まで( $X=9$ )の基準電圧を示している。これらの基準

(23)

特許2002-509621

電圧は、 $n$ ビットのデータ値を、ライン109を介してディスプレイ110の列電極に加えられるアナログ電圧に変換するために、列ドライバ（108または354）によって使用されるアナログ基準レベルである。

図7Aは、図4Aにおけるハイパワーアナログ出力回路416、あるいは、図4Bにおけるローパワーアナログ出力回路450のいずれかを具備する、第1の好適な実施態様700のブロック図である。この第1の実施態様では、D/A変換器702が、その数個を、スマートコントローラチップ（202または302）に容易に組み込めるように十分小さいサイズであることが必要である。

図7Aに示すように、 $X+1$ 個の内部デジタル-アナログ（D/A）変換器702は、アナログ基準レベル（ $A_0, A_1, \dots, A_X$ ）を出力する。ローパワーアナログ出力回路450については、D/A変換器702の出力は、比較的低パワーである。ハイパワーアナログ出力回路416については、D/A変換器702の出力は、よりハイパワーでなければならない。

D/A変換器702は、ライン415を介して、MUX回路413内の $X+1$ 個の2入力1出力マルチプレクサ704から入力信号を受信する。それぞれの2入力1出力マルチプレクサ704は、極性（POL）信号によって制御されて、2つの基準値であるREF+、REF-のいずれかを選択する。POL信号は、チップ制御回路406からライン414を介して、MUX回路413によって受信される。

これらの基準値REF+、REF-のそれぞれは、プログラム可能なレジスタ410内の2（ $X+1$ ）のレジスタファイルの一つに記憶された多数のデジタル値の中から、ライン412を介して選択される。各レジスタファイルの多数のデジタル値の中から選択することは、さまざまな手段によって実行することができる。例えば、図7Aに示すように、5つのデジタル値を各レジスタファイルに記録している、2（ $X+1$ ）個の5入力1出力マルチプレクサ706を使用することができる。これらの5入力1出力マルチプレクサ706

は、ライン414を介してチップ制御回路406から受信される曲線選択（CUR）信号によって制御される。

(24)

特許2002-509621

レジスタファイルの各デジタル値を、異なる伝達曲線に対応させることができる。従って、全体として見れば、レジスタファイルにより、スマートコントローラ（202または302）は、曲線A、曲線B、曲線C等によって示される、複数の伝達曲線を記憶することができる。

図7Aに示すように、＋と－の記号で示す、各伝達曲線の2つのバージョンを、2つの関連するレジスタファイルに記憶することができる。2入力1出力マルチプレクサ704は、POL信号の値に応じて、伝達曲線の＋と－のバージョンのどちらかを、D/A変換器702への入力として使用するかを選択する。POL信号は、チップ制御回路406によって発生することができ、表示行時間（display line time）の任意の時点で、伝達曲線の＋と－のバージョンを切り換え、あるいは、選択された基準値を伝達曲線の＋または－のバージョンに固定する。伝達曲線の＋及び－のバージョンを切り換えることの用途の一つは、行のアドレスの間に、LC（液晶）部材の極性を反転することである。

D/A変換器702のアナログ出力は、液晶の伝達曲線の非線形性を正しく補償するのに十分高い解像度でなければならない。すなわち、D/A変換器702のアナログ出力を、列ドライバ（108または354）の出力の精度よりも高い精度に調整することができるように、レジスタファイルのデジタル値は、十分なビット数を有していなければならない。現在の列ドライバは、典型的には、20mVのオーダーの精度を有している。液晶の伝達曲線全体（正、負の両方）をカバーしなければならないので、アナログ出力に対して現在のところ必要な電圧範囲は、およそ10Vである。D/A変換器702が、デジタル値をアナログ値に線形的に変換する場合には、 $10\text{V}/20\text{mV}=500$ で、 $2^9=512$ なので、デジタル値は少なくとも9ビットの精度をもっていなければならない。図7Aでは、各デジタル値に対するビット数はmである。従って、上記の計算を利用すると、mは最低9でなければならない。非線形のD/A変換器702が使用される場合は、伝達度が電圧と共に急激に変化する伝達曲線の区間に、最高のアナログ精度を集中させることにより、また、伝達

度の変化がそれほど急激ではない伝達曲線の区間については、より大きな誤差を

(25)

特表2002-509621

許容することにより、ビット数を減少させることができる。

図7Bは、図4Aのハイパワーアナログ出力回路416または、図4Bのローパワーアナログ出力回路450のいずれかを具備する、第2の及び代替の実施態様を示すブロック図である。この第2の実施態様は、D/A変換器702のサイズが大きくて、それら数個をスマートコントローラチップ(202または302)に容易には組み込むことができない場合に、好適なものである。

第1の実施態様700とは異なり、第2の実施態様750では、一つのD/A変換器752が、 $X+1$ のすべてのアナログ基準レベル(A0, A1, . . . , AX)を駆動するために使用される。D/A変換器752への入力、 $(X+1)$ 入力1出力マルチプレクサ754からくる。この $(X+1)$ 入力1出力マルチプレクサ754は、2入力1出力マルチプレクサ704によって出力される $X+1$ 個のデジタル基準値の一つを選択する。 $(X+1)$ 入力1出力マルチプレクサ754は、ライン414を介してチップ制御回路406から受信される選択(SEL)信号によって制御される。

D/A変換器752の各アナログ出力は、リフレッシュ回路756によって、 $X+1$ 個のサンプル及びホールド(S/H)回路758の特定の一つに供給される。アナログ出力が供給されるその特定のS/H回路758は、 $(X+1)$ 入力1出力マルチプレクサ754によって選択されたデジタル基準値に対応する。S/H回路758は、通常は、ダイナミックな記憶手段(dynamic storage)を使用するので、リフレッシュ回路756は、S/H回路758内に記憶されたアナログ値をリフレッシュするために、連続的に動作していなければならない。各S/H回路758の出力において、バッファ760が、出力されるアナログ基準レベルの駆動能力を増強する。ハイパワーアナログ出力回路416に対しては、バッファ760は比較的高いパワーでなければならない。ローパワーアナログ出力回路450に対しては、バッファ760は、比較的低いパワーでなければならない。

第1の実施態様700と同様に、第2の実施態様750では、各2入力1出力マルチプレクサ704は、2つの基準値REF+とREF-のいずれかを選

(26)

特許2002-509621

択する。これらの基準値のそれぞれは、レジスタ410内の一組のレジスタファイルの一つに記憶された多数のデジタル値の中から選択される。各レジスタファイルの多数のデジタル値の中から選択することは、さまざまな手段によって実行することができる。例えば、図7Bでは、5入力1出力マルチプレクサ706が使用される。

さらに、第1の実施態様700と同様に、第2の実施態様750では、レジスタファイルの多数のデジタル値の各々を、異なる伝達曲線に対応させることができる。従って、全体として見れば、レジスタファイルにより、スマートコントローラ(202または302)は、曲線A、曲線B、曲線C等によって示される、複数の伝達曲線を記憶することができる。例えば、図7Bでは、伝達曲線の総数は5である。

さらに、第1の実施態様700と同様に、第2の実施態様750では、スマートコントローラ(203または302)は、各伝達曲線の2つのバージョンを2つの関連するレジスタファイルに記憶する。+と-の記号はこの2つの異なるバージョンを示す。2入力1出力マルチプレクサ704は、(X+1)入力1出力マルチプレクサ(MUX)754への入力として、伝達曲線の+と-のどちらのバージョンを使用するかを選択する。2入力1出力マルチプレクサ704は、ライン414を介してチップ制御回路406から受信される内部の極性(POL)信号によって制御される。POL信号は、2入力1出力マルチプレクサ704が、表示行時間の任意の時点で、基準値REF+とREF-を切り換えるように、または、選択された基準値を伝達曲線の+または-のバージョンに固定するようにプログラム可能である。

最後に、第1の実施態様700と同様に、アナログ基準レベル(A0, A1, . . . , AX)は、液晶の伝達曲線の非線形性を正しく補償することができるために十分高い解像度でなければならない。すなわち、D/A変換器752のアナログ出力を、列ドライバ(108または354)の出力の精度よりも高い精度に調整することができるように、レジスタファイルのデジタル値は、十分なビット数を有していなければならない。現在の列ドライバは、典型的には20mVのオーダーの精度を有している。液晶の伝達曲線全体(正、負の両方)



(27)

特許2002-509621

をカバーしなければならないので、アナログ出力に対して現在のところ必要な電圧範囲は、およそ10Vである。D/A変換器752が、デジタル値をアナログ値に線形的に変換する場合には、 $10\text{V}/20\text{mV}=500$ で、 $2^9=512$ なので、デジタル値は少なくとも9ビットの精度をもっていなければならない。図7Bでは、各デジタル値に対するビット数はmである。従って、上記の計算を利用すると、mは最低9でなければならない。非線形のD/A変換器752が使用される場合は、伝達度が電圧と共に急激に変化する伝達曲線の区間に、最高のアナログ精度を集中させることにより、また、伝達度の変化がそれほど急激ではない伝達曲線の区間については、より大きな誤差を許容することにより、ビット数を減少させることができる。

表示 $\gamma$ の3つのグラフが、図8A、8B及び8Cに示されている。ディスプレイの伝達度対DACの値をプロットしたものが、表示 $\gamma$ として知られている。図8Aは、線形の表示 $\gamma$ を示している。線形の表示 $\gamma$ を得るために、アナログ基準レベルは、DACの値の関数として伝達度における線形ステップを実現するように選択される。表示画像のあるタイプについては、線形 $\gamma$ 以外の表示 $\gamma$ が望ましい場合がしばしばある。例えば、非線形の $\gamma$ は、印刷したものに合致させるために、画像の全体的な再現について正確な制御が必要とされる、画像作成作業 (imaging work) にとって有効である。そのような画像作成作業は、陰極線管 (CRT) ディスプレイよりも色範囲を広くすることが可能なフラットパネルディスプレイが、デスクトップパブリッシング及びグラフィックアートに使用するためのデスクトップ型のCRTにとって代わり始めるにつれて、重要になるであろう。

列ドライバに対するアナログ基準レベルによって $\gamma$ 表示を制御することは、表示 $\gamma$ を制御するための優れた手法であり、カラーlookupアップテーブル (CLUT) 法による制御に対して大きな利点を有する。非線形の $\gamma$ を実現するためにカラーlookupアップテーブルを使用すると、同一の伝達値を有する多くのDACの値を生じてしまう。このために、DACの値が通常は64レベルに制限されているフラットパネルディスプレイの価格が高くなる。代わりに、アナログ基準レベルを調整することにより、全てのDACの値が唯一の伝達値に対応する。

(28)

特許2002-509621

さらに、アナログ基準レベルを調整する方法を使用することにより、使用する用途に応じてユーザが表示 $\gamma$ を調整することができるように、アナログ基準レベルをホストシステム105内のソフトウェアによって設定することができる。また、メーカーは、種々の $\gamma$ 曲線をスマートコントローラチップ(203または302)に予めプログラムすることができ(図7A及び7Bの曲線A、曲線B等参照)、また、ホストシステム内のソフトウェアによって、予めプログラムされた異なる曲線の中から簡単に選択することができる。

アナログ基準レベルを調整することにより、ディスプレイ内の温度変化を補償するのに役立てることもできる。温度が変化するにつれて、液晶に対する伝達曲線(図6参照)は、より高い電圧かまたはより低い電圧の方にシフトする。この結果、ディスプレイの特性が、特にグレースケール画像に対して変化してしまう。スマートコントローラ(202または302)は、アナログ基準レベルを調整することができるので、そのような温度変化に対して補償する能力を有する。スマートコントローラ(202または302)が自身に入力される外部の信号を使用して、予めプログラムされた、温度-補償済み $\gamma$ 曲線の中から選択することも、また、ホストシステム105内のシステムソフトウェアによってアナログ基準レベルを変化させることも可能である。

(29)

特許2002-509621

【図1】

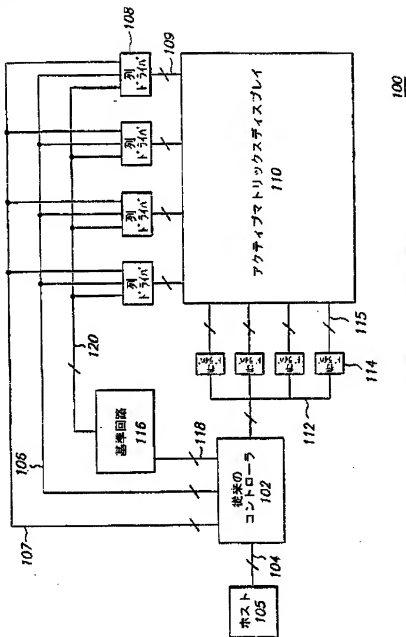
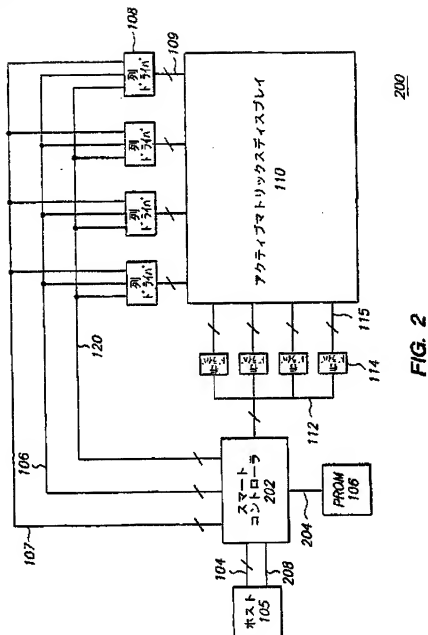


FIG. 1 (従来技術)

(30)

特表2002-509621

【図2】



(31)

特表2002-509621

【図 3】

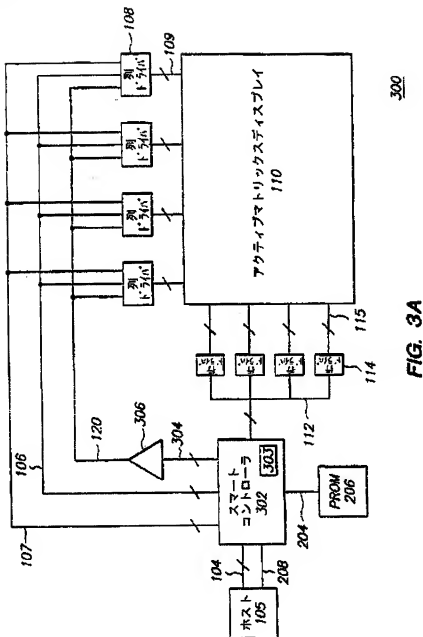
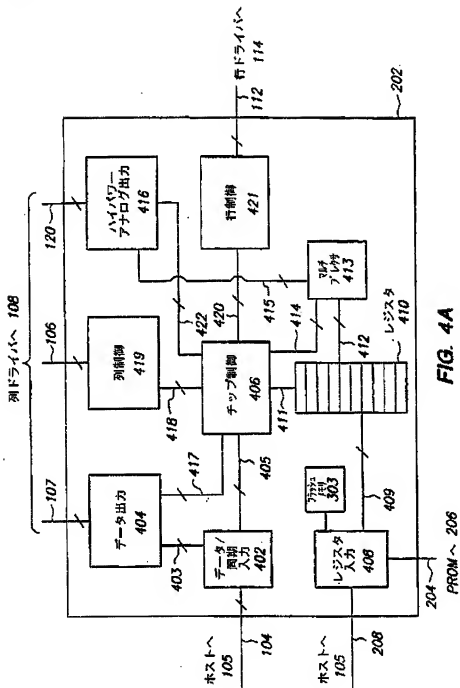


FIG. 3A



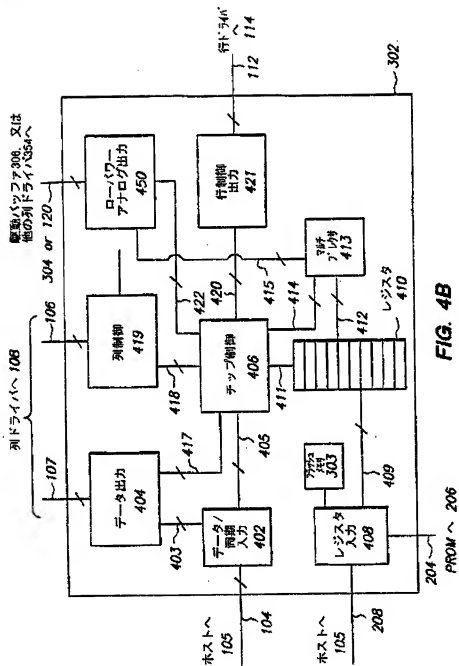
**FIG. 4A**



(34)

特表2002-509621

【図 4】





(36)

特表2002-509621

[圖 7]

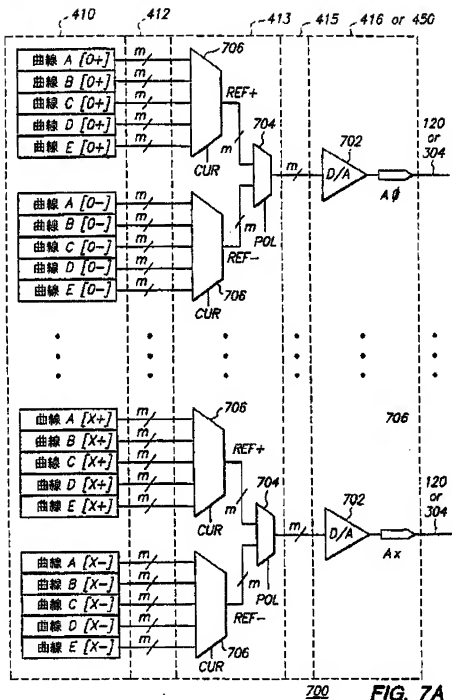


FIG. 7A

(37)

特表2002-509621

[圖 7]

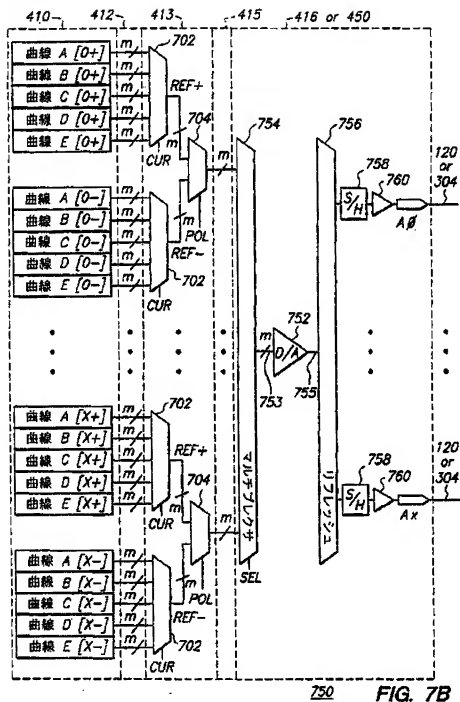


FIG. 7B

(38)

特許2002-509621

【図 8】

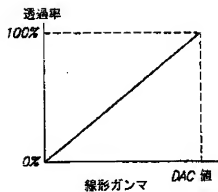


FIG. 8A

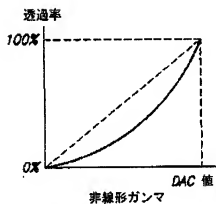


FIG. 8B

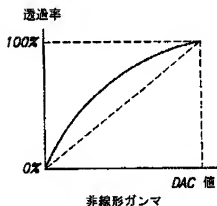


FIG. 8C

(39)

特藏2002-509621

【手続補正書】

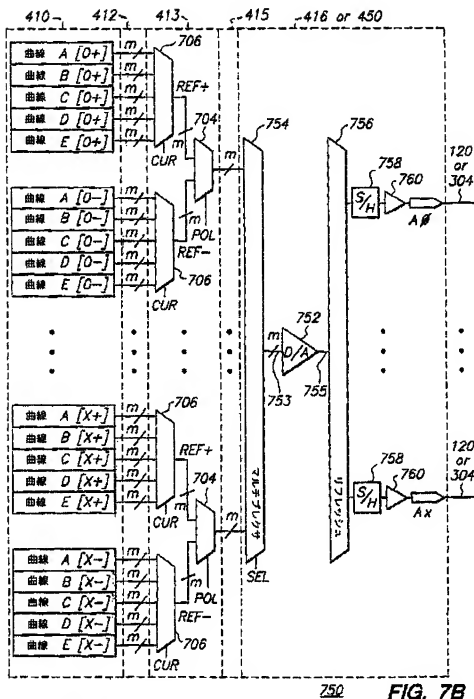
【提出日】平成11年3月24日（1999. 3. 24）

【補正内容】

【図7】

(40)

特表2002-509621



【手続補正書】

【提出日】平成13年4月26日(2001.4.26)

(41)

特許2002-509621

## 【補正内容】

## 2. 特許請求の範囲

1. アクティブマトリクスディスプレイの列及び行ドライバを制御するための、単一集積回路デバイスであって、

前記行ドライバに対して供給されたデジタルのタイミング信号及び制御信号を生成するための行制御回路と、

前記列ドライバに対して供給されたデジタルのタイミング信号及び制御信号を生成するための列制御回路と、

選択アナログ電圧を生成し、かつ前記列ドライバに対して前記選択アナログ電圧を供給し、前記アクティブマトリクスディスプレイの複数の列電極を駆動するためのアナログ回路と、

前記列ドライバに対して供給された前記選択アナログ電圧に対応するデジタル値を記憶するための、前記アナログ回路に接続されているレジスタと、

前記デジタル値から選択するための前記レジスタに接続されたマルチプレクサと、

前記マルチプレクサにより選択された前記デジタル値を受信し、かつ前記マルチプレクサにより選択された前記デジタル値に対応する前記選択アナログ電圧レベルを前記列ドライバに対して供給するための、前記アナログ回路内のデジタル-アナログ変換器とからなるデバイス。

2. 前記単一集積回路デバイスの外部にある駆動バッファが、前記アクティブマトリクスディスプレイの前記複数の列電極を駆動するための前記列ドライバに対して前記選択アナログ電圧が供給される前に、前記選択アナログ電圧のパワーを増加させる、請求項1のデバイス。

3. 前記選択アナログ電圧が比較的低いパワーであり、前記列ドライバが、前記アクティブマトリクスディスプレイの前記複数の列電極に対して比較的低いパワーのアナログ電圧レベルを供給するように設計されている、請求項1のデバイス。

4. アクティブマトリクスディスプレイの列及び行ドライバを制御するためのシステムであって、

(42)

特表2002-509621

デジタル表示情報を受信し、かつデジタルのタイミング信号及び制御信号

を生成するためのチップ制御回路と、

前記チップ制御回路からデジタルのタイミング信号及び制御信号を受信し、かつ前記チップ制御回路から受信した前記タイミング信号及び制御信号の機能として、前記行ドライバに行制御信号を供給するための、前記チップ制御回路に接続されている行制御回路と、

前記チップ制御回路からデジタルのタイミング信号及び制御信号を受信し、かつ前記チップ制御回路から受信した前記タイミング信号及び制御信号の機能として、前記列ドライバに列制御信号を供給するための、前記チップ制御回路に接続されている列制御回路と、

選択アナログ電圧を生成し、かつ前記チップ制御回路から受信した前記デジタル表示情報の機能として、前記列ドライバに対してこれらの選択アナログ電圧を供給するための、前記チップ制御回路に接続されているアナログ回路と、

前記選択アナログ電圧に対応するデジタル値を記憶するための、前記アナログ回路に接続されているレジスタと、

前記デジタル値から選択するためのマルチプレクサと、

前記マルチプレクサによって選択されたデジタル値を受信し、かつ前記マルチプレクサによって選択されたデジタル値に対応する前記選択アナログ電圧を前記列ドライバに対して供給するための、前記アナログ回路内のデジタルーアナログ変換器

とを有する単一集積回路スマートコントローラ  
からなるシステム。

5. 前記デジタル値が、前記単一集積回路デバイスの外部に接続されたプログラム可能な読み出し専用メモリから受信される、請求項4のシステム。

6. 前記デジタル値が、ホストシステムから受信される、請求項4のシステム。

7. 前記デジタル値が、前記単一集積回路デバイス内部のフラッシュメモリから受信される、請求項4のシステム。

(43)

特表2002-509621

8. 前記デジタル値が、フラットパネルディスプレイに対する表示ガンマ関数を調整するために、前記ホストシステム内のソフトウェアによって動的に決定されることからなる請求項6のシステム。

9. 前記レジスタが、第1及び第2の選択アナログ電圧レベルに対応する第1及び第2デジタル値を記憶し、かつ前記マルチプレクサが該第1及び第2のデジタル値から選択し、かつ前記アナログ回路内部の前記デジタル-アナログ変換器が前記マルチプレクサによって選択された前記デジタル値を受信し、かつ前記マルチプレクサによって選択された前記デジタル値に対応する前記アナログ電圧レベルを前記列ドライバに対して供給する、請求項4のシステム。

10. 前記第1のデジタル値が正であり、前記第2のデジタル値が負である請求項9のシステムであって、

前記列ドライバに供給されるタイミング信号に同期して、前記マルチプレクサによってなされる前記第1または第2のデジタル値の選択を切り換えるために、前記マルチプレクサに加えられる極性信号をさらに含み、前記第1または第2のデジタル値への切り換えによって、フラットパネルディスプレイの液晶部材の反転が起こる、システム。

11. 前記レジスタ内に記憶された前記デジタル値が複数の表示ガンマ関数を表す、請求項4のシステム。

12. 前記レジスタが第1、第2、第3及び第4のレジスタファイルを含み、

前記第1のレジスタファイルから記憶された第1の正のデジタル値、または前記第2のレジスタファイルからの第2の正のデジタル値を選択するための第1のマルチプレクサであって、前記第1の正のデジタル値が、フラットパネルディスプレイに対する第1の表示ガンマ関数に関連し、前記第2の正のデジタル値が、該フラットパネルディスプレイに対する第2の表示ガンマ関数に関連する、該第1のマルチプレクサと、

前記第3のレジスタファイルからの第1の負のデジタル値、または前記第4のレジスタファイルからの第2の負のデジタル値を選択するための第2のマルチプレクサであって、前記第1の負のデジタル値が、前記第1の表示ガンマ関



(44)

特表2002-509621

数に関連し、前記第2の負のデジタル値が、前記第2の表示ガンマ関数に関連する、該第2のマルチプレクサと、

前記第1のマルチプレクサによって選択された前記デジタル値、または前記第2のマルチプレクサによって選択された前記デジタル値を選択し、かつ選択

された前記デジタル値に対応する選択アナログ電圧を生成し、前記アクティブマトリックスディスプレイの少なくとも一つの列電極を駆動するための前記列ドライバに対して、前記生成された選択アナログ電圧を供給するための前記アナログ回路内の前記デジタル-アナログ変換器に対して、前記選択されたデジタル値を供給する第3のマルチプレクサ

とからなる請求項4のシステム。

13. 前記レジスタが第1、第2、第3及び第4のレジスタファイルを含み、

前記第1のレジスタファイルからの第1のデジタル値、または前記第2のレジスタファイルからの第2のデジタル値を選択するための第1のマルチプレクサと、

前記第3のレジスタファイルからの第3のデジタル値、または前記第4のレジスタファイルからの第4のデジタル値を選択するための第2のマルチプレクサと、

前記第1のマルチプレクサによって選択された前記デジタル値、または前記第2のマルチプレクサによって選択された前記デジタル値を選択し、かつ選択された前記デジタル値に対応する選択アナログ電圧を生成するために、前記アナログ回路内のデジタル-アナログ変換器に対して、前記選択されたデジタル値を供給する第3のマルチプレクサと、

前記選択アナログ電圧を受信し、かつ前記選択アナログ電圧を、第1のサンプル及びホールド回路、または第2のサンプル及びホールド回路のいずれかに送るためのリフレッシュ回路と

前記第1のサンプル及びホールド回路からの前記選択アナログ電圧を受信し、かつ前記アクティブマトリックスディスプレイの複数の列電極を駆動するために前記列ドライバに対して、前記選択アナログ電圧を供給する第1のバッファと、

(45)

特許2002-509621

前記第2のサンプル及びホールド回路からの前記選択アナログ電圧を受信し、かつ前記アクティブマトリクスディスプレイの複数の列電極を駆動するために前記列ドライバに対して、前記選択アナログ電圧を供給する第2のバッファとからなる請求項4のシステム。

14. 前記レジスタが第1、第2、第3、第4、第5、第6、第7、及び第8の

レジスタを含み、

前記第1のレジスタに記憶された第1の正のデジタル値、または前記第2のレジスタに記憶された第2の正のデジタル値を選択するための第1のマルチプレクサであって、前記第1の正のデジタル値が、フラットパネルディスプレイに対する第1の表示ガンマ関数に関連し、前記第2の正のデジタル値が、該フラットパネルディスプレイに対する第2の表示ガンマ関数に関連する、該第1のマルチプレクサと、

前記第3のレジスタに記憶された第1の負のデジタル値、または前記第4のレジスタ内の第2の負のデジタル値を選択するための第2のマルチプレクサであって、前記第1の負のデジタル値が、前記第1の表示ガンマ関数に関連し、前記第2の負のデジタル値が、前記第2の表示ガンマ関数に関連する、該第2のマルチプレクサと、

前記第5のレジスタに記憶された第3の正のデジタル値、または前記第6のレジスタに記憶された第4の正のデジタル値を選択するための第3のマルチプレクサであって、前記第3の正のデジタル値が、前記第1の表示ガンマ関数に関連し、前記第4の正のデジタル値が、前記第2の表示ガンマ関数に関連する、該第3のマルチプレクサと、

前記第7のレジスタに記憶された第3の負のデジタル値、または前記第8のレジスタ内の第4の負のデジタル値を選択するための第4のマルチプレクサであって、前記第3の負のデジタル値が、前記第1の表示ガンマ関数に関連し、前記第4の負のデジタル値が、前記第2の表示ガンマ関数に関連する、該第4のマルチプレクサと、

前記第1のマルチプレクサによって選択された前記デジタル値、または前記

(46)

特許2002-509621

第2のマルチプレクサによって選択された前記デジタル値を選択するための第5のマルチプレクサと、

前記第3のマルチプレクサによって選択された前記デジタル値、または前記第4のマルチプレクサによって選択された前記デジタル値を選択するための第6のマルチプレクサと、

前記第5のマルチプレクサによって選択された前記デジタル値、または前記

第6のマルチプレクサによって選択された前記デジタル値を選択し、かつ選択された前記デジタル値に対応する選択アナログ電圧を生成するための前記アナログ回路内の前記デジタル-アナログ変換器に対して、前記選択されたデジタル値を供給する第7のマルチプレクサと、

前記選択アナログ電圧を受信し、かつ前記選択アナログ電圧を、第1の保持されたレベルとして第1のサンプル及びホールド回路に、または第2の保持されたレベルとして第2のサンプル及びホールド回路のいずれかに送るためのリフレッシュ回路と、

前記第1のサンプル及びホールド回路からの前記第1の保持されたレベルを受信し、かつ前記アクティブマトリクスディスプレイの複数の列電極を駆動するために前記列ドライバに対して前記第1の保持されたレベルを供給する第1のバッファと、

前記第2のサンプル及びホールド回路からの前記第2の保持されたレベルを受信し、かつ前記アクティブマトリクスディスプレイの複数の列電極を駆動するために前記列ドライバに対して前記第2の保持されたレベルを供給する第2のバッファ

とからなる請求項4のシステム。

15. アクティブマトリクスディスプレイの列及び行ドライバを制御するための、単一集積回路デバイスを使用する方法であって、

ホストシステムへのインターフェースから表示情報を受信し、

受信した前記表示情報から、前記行ドライバ用の第1組のデジタルのタイミング信号及び制御信号を決定し、

(47)

特許2002-509621

受信した前記表示情報から、前記列ドライバ用の第2組のデジタルのタイミング信号及び制御信号を決定し、

対応する複数の選択アナログ電圧レベルを生成するために使用される複数のデジタル値を記憶し、

マルチプレクサを利用して、前記ホストシステムから受信した前記表示情報に基づき前記複数のデジタル値の少なくとも一つを選択し、

前記選択されたデジタル値の機能として、前記対応する選択アナログ電圧レベルを生成し、

前記第1組のデジタルのタイミング信号及び制御信号を、前記行ドライバに出力し、

前記第2組のデジタルのタイミング信号及び制御信号を、前記列ドライバに出力し、

前記選択アナログ電圧レベルを前記列ドライバに供給すること  
ステップからなる方法。

16. 前記集積回路デバイスの外部のプログラム可能な読み出し専用メモリから、最初に前記複数のデジタル値を受信するステップを、さらに含む請求項15の方法。

17. 前記複数のデジタル値が、前記ホストシステムへのインターフェースから受信される、請求項15の方法。

18. 前記複数のデジタル値が、前記ホストシステム内のソフトウェアによって、動的に決定される、請求項17の方法。

19. 前記複数のデジタル値における第1のデジタル値が正であり、前記複数のデジタル値における第2のデジタル値が負であり、さらに前記第1のデジタル値及び前記第2のデジタル値から択一的に選択するために極性信号を前記マルチプレクサに供給することを含む、請求項15記載の方法。

20. 第1のデジタル値、または第2のデジタル値を、第1のマルチプレクサで選択し、

第3のデジタル値、または第4のデジタル値を、第2のマルチプレクサで

(48)

特許2002-509621

選択し、

前記第1のマルチプレクサによって選択された前記デジタル値、または前記第2のマルチプレクサによって選択された前記デジタル値を、第3のマルチプレクサで選択し、

前記第3のマルチプレクサによって選択された前記デジタル値を、選択アナログ電圧に変換し、

前記選択アナログ電圧を、第1の保持されたレベルとして第1のサンプル及びホールド回路、または第2の保持されたレベルとして第2のサンプル及びホールド回路のいずれかに送り、

前記第1のサンプル及びホールド回路からの前記第1の保持されたレベルを、第1バッファを介して前記列ドライバに供給し、前記アクティブマトリックスディスプレイの複数の列電極を駆動し、

前記第2のサンプル及びホールド回路からの前記第2の保持されたレベルを、第2バッファを介して前記列ドライバに供給し、前記アクティブマトリックスディスプレイの複数の列電極を駆動する

ステップからなる請求項15の方法。

21、ホストシステムへのインターフェースからの表示データを受信し、かつ前記チップ制御回路へ前記デジタル表示情報を供給するためのデータ／同期入力回路

からなる請求項4のシステム。



(50)

特表 2002-509621

## INTERNATIONAL SEARCH REPORT

International Application No.  
PCT/US 97/15151

| C. CONTINUATIONS DOCUMENTS CONSIDERED TO BE RELEVANT |  |                      |
|--|--|----------------------|
| Category   | Division of document with individual claims appropriate of the relevant passages   | Relevant to claim 14 |
| A  | GB 2 136 622 A (CITIZEN WATCH CO LTD) 19<br>September 1994<br>see page 2, line 119 - page 3, line 16;<br>figure 5<br>----- | 1,4,16               |

Form PCT/ISAO/2 (with amendments of November 1998)

(51)

特許2002-509821

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US 97/15151

| Patent document<br>cited in search report | Publication<br>date | Patent family<br>members | Publication<br>date |
|---|---------------------|--------------------------|---------------------|
| GB 2136622 A                              | 19-09-84            | JP 59157693 A            | 07-09-84            |
|   |                     | HK 60880 A               | 19-08-88            |
|   |                     | US 4622590 A             | 11-11-86            |

Form PCT/ISAI-89 (patent cooperation treaty, 1989)



(52)

特許2002-509621

---

 フロントページの続き

(81)指定国 EP(AT, BE, CH, DE,  
 DK, ES, FI, FR, GB, GR, IE, IT, L  
 U, MC, NL, PT, SE), OA(BF, BJ, CF  
 , CG, CI, CM, GA, GN, ML, MR, NE,  
 SN, TD, TG), AP(GH, KE, LS, MW, S  
 D, SZ, UG, ZW), EA(AM, AZ, BY, KG  
 , KZ, MD, RU, TJ, TM), AL, AM, AT  
 , AU, AZ, BA, BB, BG, BR, BY, CA,  
 CH, CN, CU, CZ, DE, DK, EE, ES, F  
 I, GB, GE, GH, HU, IL, IS, JP, KE  
 , KG, KP, KR, KZ, LC, LK, LR, LS,  
 LT, LU, LV, MD, MG, MK, MN, MW, M  
 X, NO, NZ, PL, PT, RO, RU, SD, SE  
 , SG, SI, SK, SL, TJ, TM, TR, TT,  
 UA, UG, UZ, VN, YU, ZW